

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-117697

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

G11C 29/00

G01R 31/28

G06F 12/16

H01L 27/04

H01L 21/822

(21)Application number : 2000-307339

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.10.2000

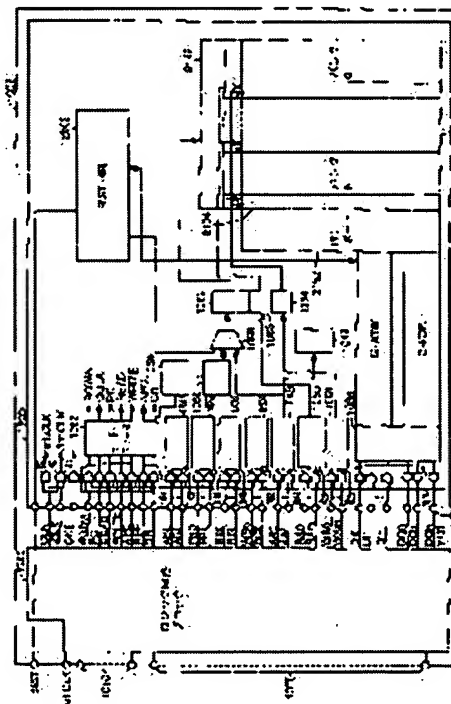
(72)Inventor : OISHI TSUKASA
HIDAKA HIDETO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device, provided with a built-in test circuit, with which a defective memory cell can be replaced by a redundant memory cell.

SOLUTION: After data has been written in a memory cell array according to an internal address signal, in read-out operation, read-out data from each memory cell is compared with expected value data. A row decoder 2142 selects plural memory cells, belonging to the same row of the memory cell array en bloc according to the address signal. A BIST circuit 2002 discriminates carrying out of relieving in a spare memory cell row, rather than in a spare memory cell column, when plural defective memory cells are detected in plural memory cells selected en bloc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-117697

(P2002-117697A)

(43) 公開日 平成14年4月18日 (2002.4.18)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 B 2 G 0 3 2
	6 0 3		6 7 1 R 5 B 0 1 8
	6 5 5		6 0 3 Z 5 F 0 3 8
G 0 1 R 31/28		G 0 6 F 12/16	6 5 5 S 5 L 1 0 6
			3 1 0 P
審査請求 未請求 請求項の数 9 O L (全 31 頁) 最終頁に続く			

(21) 出願番号 特願2000-307336 (P2000-307336)

(22) 出願日 平成12年10月6日 (2000.10.6)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100084745

弁理士 深見 久郎 (外4名)

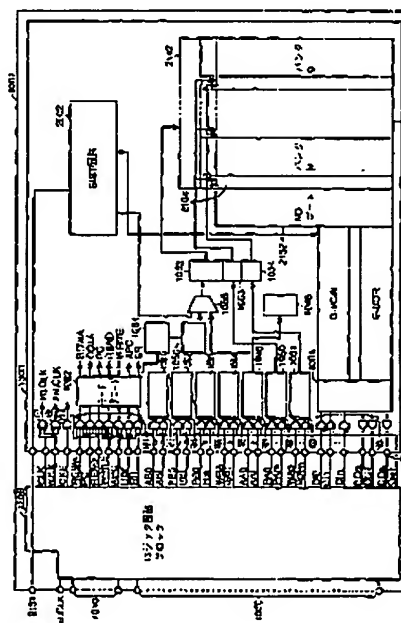
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 不良メモリセルを冗長メモリセルで置換することが可能なビルトインテスト回路を備えた半導体集積回路装置を提供する。

【解決手段】 内部アドレス信号に応じて、メモリセルアレイにデータの書き込みを行なった後、読出動作において、各メモリセルからの読出データと期待値データの比較を行なう。ロウデコーダ2142は、アドレス信号に応じて、メモリセルアレイの同一の行に属する複数のメモリセルを一括して選択する。BIST回路2002は、一括して選択された複数のメモリセル中に複数の不良メモリセルが検出された場合、予備のメモリセル列ではなく、予備メモリセル行での救済を行なうことを判定する。



(2)

特開2002-117697

1

【特許請求の範囲】

【請求項1】 各々が記憶データを保持するための複数のメモリセルが行列状に配置されるメモリセルアレイを備え、

前記メモリセルアレイは、

複数の正規メモリセルを含む正規メモリセルアレイと、

複数の予備メモリセル行を含む予備メモリセル行と、

複数の予備メモリセル列を含む予備メモリセル列とを含む、

アドレス信号に応じて、前記メモリセルアレイの同一の行に属する複数のメモリセルを一括して選択するためのメモリセル選択回路と、

選択された前記複数のメモリセルとの間で前記記憶データを授受するためのデータ伝達回路と、

前記メモリセル中の不良メモリセルを検出し、いずれの前記予備メモリセルで置換するかを決定するためのテスト回路とをさらに備え、

前記テスト回路は、

前記メモリセルを順次選択するための前記アドレス信号を生成し、テスト書き込み動作において選択された前記メモリセルに書き込むテストデータと、テスト読出動作において前記メモリセルから読み出されるべき期待値データとを生成する信号生成回路と、

前記テスト読出動作において、前記選択されたメモリセルからの記憶データと前記期待値データとを比較する比較回路と、

前記比較回路の比較結果に応じて、不良メモリセルに対応する不良アドレスを記憶するためのアドレス記憶回路と、

テスト動作を制御するため制御回路とを含む、

前記制御回路は、一括して選択された前記複数のメモリセル中に複数の不良メモリセルが検出された場合、前記予備メモリセル行での救済を行なうことを判定する、半導体集積回路装置。

【請求項2】 前記制御回路は、一括して選択された前記複数のメモリセル中に前記予備メモリセル列の個数よりも多くの不良メモリセルが検出された場合、前記予備メモリセル行での救済を行なうことを判定する。請求項1記載の半導体集積回路装置。

【請求項3】 前記メモリセル選択回路は、 $n \times n$ 個 (n :自然数)のメモリセルを一括して選択し、

前記比較回路は、

選択された前記 $n \times n$ 個のメモリセルから読み出されたデータと期待値とを比較して、一致結果を示す $n \times n$ 個の一致検出信号を生成する一致検出回路と、

前記 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの列ごとに設けられ、対応する n 個の一致検出信号が一致するかを判定するための n 個の第1の論理ゲートと、

前記 $n \times n$ 個の一致検出信号からなる信号マトリックス

2

のうちの行ごとに設けられ、対応する n 個の一致検出信号が一致するかを判定するための n 個の第2の論理ゲートと、

前記第1および第2の論理ゲートの出力を受けて、前記 $n \times n$ 個の一致検出信号のうちに不一致を示す信号が存在するかを判定するための第3の論理ゲートとを含む、請求項1記載の半導体集積回路装置。

【請求項4】 前記比較回路は、

前記 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの列ごとに設けられ、対応する n 個の一致検出信号のバリティを判定するための n 個の第1のバリティ判定回路と、

前記 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの行ごとに設けられ、対応する n 個の一致検出信号のバリティを判定するための n 個の第2のバリティ判定回路と、

前記信号マトリックスのうちの列ごとに設けられ、対応する前記第1のバリティ判定回路の判定結果と対応する前記第1の論理ゲートの判定結果とに応じて、前記信号マトリックスの列中に含まれる一致検出信号のうち不一致を示すものの個数を検出するための複数の第1の不良数検出回路と、

前記複数の第1の不良数検出回路の検出結果を積算するための第1の不良数加算回路と、

前記信号マトリックスのうちの行ごとに設けられ、対応する前記第2のバリティ判定回路の判定結果と対応する前記第2の論理ゲートの判定結果とに応じて、前記信号マトリックスの行中に含まれる一致検出信号のうち不一致を示すものの個数を検出するための複数の第2の不良数検出回路と、

前記複数の第2の不良数検出回路の検出結果を積算するための第2の不良数加算回路と、

前記第1および第2の不良数加算回路の出力を受けて、積算個数の多い方を不良数として出力するための不良数判定回路とをさらに含む、請求項3記載の半導体集積回路装置。

【請求項5】 前記メモリセル選択回路は、前記アドレス信号に応じて、前記予備メモリセル行および予備メモリセル列を個別に選択するための手段をさらに備える、請求項1記載の半導体集積回路装置。

【請求項6】 前記アドレス信号は、

前記正規メモリセルアレイ中のメモリセルを選択するための複数のビットの正規アドレス信号と、

前記予備メモリセル行および予備メモリセル列を個別に選択するための追加ビットとを含む、請求項5記載の半導体集積回路装置。

【請求項7】 前記アドレス記憶回路は、検出された不良アドレスが前記予備メモリセル行および予備メモリセル列に対応するものであることを識別するための識別情報を記憶する手段を含む、請求項6記載の半導体集積回路装置。

(3)

特開2002-117697

3

4

路装置。

【請求項8】 前記メモリセル選択回路は、検出された不良アドレスを格納し、前記アドレス信号が前記不良アドレスと一致する場合、正規メモリセルの選択を停止し、前記予備メモリセル行および予備メモリセル列のいずれかを選択するための不良アドレス格納回路を含む、請求項7記載の半導体集積回路装置。

【請求項9】 前記メモリセル選択回路は、前記識別情報に応じて、不良でない前記予備メモリセル行および予備メモリセル列のいずれかへの置換を行なう、請求項8記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置、特に半導体記憶装置の試験を行なうためのテスト回路を搭載する半導体集積回路装置の構成に関する。

【0002】

【従来の技術】大部分の半導体記憶装置は、予備のメモリセルを備えており、メモリセルの一部に不良のメモリセルがある場合、その不良部分を予備のメモリセルと置換し、不良チップの救済を行なうことが可能となっている。

【0003】図32は、このような半導体記憶装置のメモリアレイ部8010に対して設けられる冗長回路の構成を示す概略ブロック図である。

【0004】メモリアレイ部8010中の1つのメモリセルが、外部から入力されたロウアドレス信号RA0-13、コラムアドレス信号CA0-8により選択される。この選択された1つのメモリセルに対し、書込動作においては、データ入出力端子DQ（図示せず）に与えられたデータの書込が行なわれる、また、読出動作においては、このデータ入出力端子DQに対して、メモリアレイ部8010からの読出データが出力される。

【0005】ロウデコーダ8020は、入力されたロウアドレスに応じて、読出あるいは書込動作を行なう1行（ロウ）分のメモリセルの選択を行なう。また、コラムデコーダ8030は、入力されたコラムアドレスにより1列（コラム）の選択を行ない、ロウアドレスにより選択された1ロウ分のメモリセルのうちから、さらに1つのメモリセルを選択する。

【0006】

【発明が解決しようとする課題】以上のような、欠陥メモリセルの検出と、その欠陥メモリセルの冗長メモリセルアレイによる置換のための分析は、半導体記憶装置8000の外部のメモリテストにより行なわれることが一般的である。

【0007】一方、近年、被測定半導体記憶装置8000、または半導体記憶装置を搭載する半導体装置内に信号発生器を内蔵し、メモリテストなしでテストを行なう、いわゆる内蔵型テスト装置（ビルトインテスト装

置）を備えた半導体記憶装置または半導体記憶装置を搭載する半導体装置が製造されている。

【0008】しかしながら、このようなビルトインテスト装置を備える半導体記憶装置または半導体装置においては、メモリアレイ中に不良メモリセルが存在するか否かのテストは行なえても、冗長解析機能を実現するテストをそれ自身で行なうことが困難である。これは、上述のとおり、不良メモリセルのアドレスを記憶するためのフェイルメモリは、被測定半導体記憶装置または半導体装置に内蔵される半導体記憶装置と同等の容量が必要とされるため、事実上このようなフェイルメモリを半導体記憶装置または半導体装置に搭載することが困難で、冗長解析を行なうことができないためである。

【0009】しかも、半導体記憶装置に対するデータ入出力時のデータのビット幅は、システムの高速化等の要求から増大する傾向にある。このため、メモリセルアレイにおいて複数のメモリセルが同時に選択されることが多い。このため、上述のような冗長解析はさらに複雑となる。

【0010】本発明は上記のような問題点を解決するためになされたものであって、その目的は、サブメモリセルアレイごとに複数のメモリセルが同時に選択される場合に不良メモリセルを検出し、かつ、この不良メモリセルを冗長メモリセルで置換することが可能なビルトインテスト回路を備えた半導体記憶装置または半導体記憶装置を搭載する半導体集積回路装置を提供することである。

【0011】

【課題を解決するための手段】請求項1記載の半導体集積回路装置は、各々が記憶データを保持するための複数のメモリセルが行列状に配置されるメモリセルアレイを備え、メモリセルアレイは、複数の正規メモリセルを含む正規メモリセルアレイと、複数の予備メモリセル行を含む予備メモリセル行と、複数の予備メモリセル列を含む予備メモリセル列とを含み、アドレス信号に応じて、メモリセルアレイの同一の行に属する複数のメモリセルを一括して選択するためのメモリセル選択回路と、選択された複数のメモリセルとの間で記憶データを授受するためのデータ伝送回路と、メモリセル中の不良メモリセルを検出し、いずれの予備メモリセルで置換するかを決定するためのテスト回路とをさらに備え、テスト回路は、メモリセルを順次選択するためのアドレス信号を生成し、テスト書込み動作において選択されたメモリセルに書込むテストデータと、テスト読出動作においてメモリセルから読み出されるべき期待値データとを生成する信号生成回路と、テスト読出動作において、選択されたメモリセルからの記憶データと期待値データとを比較する比較回路と、比較回路の比較結果に応じて、不良メモリセルに対応する不良アドレスを記憶するためのアドレス記憶回路と、テスト動作を制御するため制御回路とを

(4)

特開2002-117697

5

込み、制御回路は、一括して選択された複数のメモリセル中に複数の不良メモリセルが検出された場合、予備メモリセル行での救済を行なうことを判定する。

【0012】請求項2記載の半導体集積回路装置は、請求項1記載の半導体集積回路装置の構成に加えて、制御回路は、一括して選択された複数のメモリセル中に予備メモリセル列の個数よりも多くの不良メモリセルが検出された場合、予備メモリセル行での救済を行なうことを判定する。

【0013】請求項3記載の半導体集積回路装置は、請求項1記載の半導体集積回路装置の構成に加えて、メモリセル選択回路は、 $n \times n$ 個 (n :自然数)のメモリセルを一括して選択し、比較回路は、選択された $n \times n$ 個のメモリセルから読み出されたデータと期待値とを比較して、一致結果を示す $n \times n$ 個の一致検出信号を生成する一致検出回路と、 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの列ごとに設けられ、対応する n 個の一致検出信号が一致するかを判定するための n 個の第1の論理ゲートと、 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの行ごとに設けられ、対応する n 個の一致検出信号が一致するかを判定するための n 個の第2の論理ゲートと、第1および第2の論理ゲートの出力を受けて、 $n \times n$ 個の一致検出信号のうちに不一致を示す信号が存在するかを判定するための第3の論理ゲートとを含む。

【0014】請求項4記載の半導体集積回路装置は、請求項3記載の半導体集積回路装置の構成に加えて、比較回路は、 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの列ごとに設けられ、対応する n 個の一致検出信号のパリティを判定するための n 個の第1のパリティ判定回路と、 $n \times n$ 個の一致検出信号からなる信号マトリックスのうちの行ごとに設けられ、対応する n 個の一致検出信号のパリティを判定するための n 個の第2のパリティ判定回路と、信号マトリックスのうちの列ごとに設けられ、対応する第1のパリティ判定回路の判定結果と対応する第1の論理ゲートの判定結果とに応じて、信号マトリックスの列中に含まれる一致検出信号のうち不一致を示すものの個数を検出するための複数の第1の不良数検出回路と、複数の第1の不良数検出回路の検出結果を積算するための第1の不良数加算回路と、信号マトリックスのうちの行ごとに設けられ、対応する第2のパリティ判定回路の判定結果と対応する第2の論理ゲートの判定結果とに応じて、信号マトリックスの行中に含まれる一致検出信号のうち不一致を示すものの個数を検出するための複数の第2の不良数検出回路と、複数の第2の不良数検出回路の検出結果を積算するための第2の不良数加算回路と、第1および第2の不良数加算回路の出力を受けて、積算個数の多い方を不良数として出力するための不良数判定回路とをさらに含む。

【0015】請求項5記載の半導体集積回路装置は、請

5

求項1記載の半導体集積回路装置の構成に加えて、メモリセル選択回路は、アドレス信号に応じて、予備メモリセル行および予備メモリセル列を個別に選択するための手段をさらに備える。

【0016】請求項6記載の半導体集積回路装置は、請求項5記載の半導体集積回路装置の構成に加えて、アドレス信号は、正規メモリセルアレイ中のメモリセルを選択するための複数のビットの正規アドレス信号と、予備メモリセル行および予備メモリセル列を個別に選択するための追加ビットとを含む。

【0017】請求項7記載の半導体集積回路装置は、請求項6記載の半導体集積回路装置の構成に加えて、アドレス記憶回路は、検出された不良アドレスが予備メモリセル行および予備メモリセル列に対応するものであることを識別するための識別情報を記憶する手段を含む。

【0018】請求項8記載の半導体集積回路装置は、請求項7記載の半導体集積回路装置の構成に加えて、メモリセル選択回路は、検出された不良アドレスを格納し、アドレス信号が不良アドレスと一致する場合、正規メモリセルの選択を停止し、予備メモリセル行および予備メモリセル列のいずれかを選択するための不良アドレス格納回路を含む。

【0019】請求項9記載の半導体集積回路装置は、請求項8記載の半導体集積回路装置の構成に加えて、メモリセル選択回路は、識別情報に応じて、不良でない予備メモリセル行および予備メモリセル列のいずれかへの置換を行なう。

【0020】

【発明の実施の形態】〔実施の形態1〕

【メモリセルアレイあたり1ビットのデータが読み出される構成】図1は、サブメモリアレイあたり1ビットのデータが読み出されるダイナミック型半導体記憶装置（以下、DRAMと呼ぶ）1000の全体構成を示す概略ブロック図である。

【0021】なお、以下の説明で明らかとなるように、本発明に係るビルトインテスト回路は、図1に示したようなDRAM1000に搭載される場合に限定されことなく、より一般に、半導体集積回路装置にロジック回路などとともに搭載される半導体記憶装置のテストに適用することが可能である。

【0022】図1を参照して、DRAM1000は、行アドレスストローブ信号/RAS、列アドレスストローブ信号/CAS、ライトイネーブル信号/WE、チップイネーブル信号/CE、クロックイネーブル信号CKE等の制御信号を受ける制御信号入力端子群11と、アドレス信号A0～A1（1:自然数）を受けるアドレス入力端子群13と、データの入出力を行なうためのデータ入出力端子群15と、外部電源電位Vccを受けるVcc端子18と、接地電位Vssを受けるVss端子19とを備える。

(5)

特開2002-117697

7

8

【0023】ここで、制御信号入力端子群11に与えられる信号CKEは、チップへの制御信号の入力を可能とすることを指示するための信号である。

【0024】DRAM1000は、さらに、制御信号に応じてDRAM1000全体の動作を制御する内部制御信号を発生するコントロール回路26と、内部制御信号を伝達する内部制御信号バス72と、アドレス入力端子群13から外部アドレス信号を受けて、内部アドレス信号を発生するアドレスバッファ30と、行列状に配置された複数のメモリセルMCを有するメモリセルアレイ100とを備える。

【0025】ここで、図1においては、例示的にメモリセルアレイ100が1つの場合を示しているが、このようなメモリセルアレイ100が複数個設けられる構成となってもよい。ただし、1つのメモリセルアレイあたり1ビットのデータが読み出される構成となっているものとする。

【0026】内部アドレス信号とは、たとえば、外部行アドレス信号RA0-13から生成される互いに相補な内部行アドレス信号RA0-13および/RA0-13と、外部列アドレス信号CA0-8から生成される互いに相補な内部列アドレス信号CA0-8および/CA0-8とを意味する。

【0027】メモリセルMCは、データを保持するためのキャパシタと、各行に対応するワード線WLに接続されたゲートを有するアクセストランジスタGMとによって構成される。

【0028】メモリセルアレイ100においては、メモリセルの各行に対してワード線WLが設けられ、メモリセルの各列に対してビット線BL、/BLが設けられる。

【0029】また、図1に示したメモリセルアレイ100は、図32に示したメモリセルアレイ部8010と同様に、正規のメモリセルアレイ100Rと、スペアロウSRとスペアコラムSCとを含む。

【0030】メモリセルアレイ100においても、スペアロウSRとしては、2本のスペアロウSR1およびSR2が設けられ、スペアコラムSCとしては、2本のスペアコラムSC1およびSC2が設けられているものとする。

【0031】DRAM1000は、さらに、DRAM1000の不良メモリセルを検出し、スペアロウSRまたはスペアコラムSCで置換するためのテスト動作を行なうビルトインセルフテスト回路（以下、BIST回路と呼ぶ）2000を備える。

【0032】BIST回路2000は、コントロール回路26により制御されて、通常動作時には、アドレスバッファ30からの内部行アドレス信号および内部列アドレス信号を、そのまま行デコーダ、スペアロウデコーダ42、列デコーダ50およびスペアコラムデコー

ダ52にそれぞれ出力する。さらに、BIST回路2000は、通常動作においては、データ入出力端子群15から与えられ、入出力バッファ85によりバッファ処理され、音込ドライバ回路80から出力される音込データを受けて、そのまま列選択ゲート200に出力する。

【0033】これに対して、BIST回路2000は、テスト動作においては、アドレスバッファ30からの内部アドレス信号ではなく、BIST回路2000内部で生成した内部アドレス信号を、行デコーダ40、スペアロウデコーダ42、列デコーダ50およびスペアコラムデコーダ52にそれぞれ与える。さらに、音込ドライバ80から与えられるデータではなく、BIST回路2000内部で生成されたテスト用音込データTDを列選択ゲート200に与えることで、テストデータをメモリセルアレイ100に音込む。

【0034】このようなテスト動作における音込動作が終了した後、BIST回路2000は、再び内部アドレス信号を生成して、順次音込まれたデータの読出を行なう。BIST回路2000は、この読出されたデータと期待値データEDとの比較結果に応じて、正規メモリセルアレイ100R中の不良メモリセル位置を順次検出していき、このような複数の不良メモリセルに対応する複数の不良行アドレスおよび不良列アドレスを、スペアロウSRおよびスペアコラムSCのどのような組合せで置換するかを決定する。

【0035】このようなテスト動作中の読出動作が終了すると、BIST回路2000の決定に従って、スペアロウデコーダ42およびスペアコラムデコーダ52は、それぞれ置換すべき不良行アドレスおよび不良列アドレスをそれぞれ不揮発的に記憶する。このために、スペアロウデコーダ42およびスペアコラムデコーダ52は、BIST回路2000から指示される置換アドレスを電気的に音込み読出し可能な不揮発性記憶素子を備える構成としてもよい。または、BIST回路2000は、テスト動作終了後に、このような置換を行なうべきアドレスを外部に出力する構成としてもよい。この場合は、この外部に出力された置換アドレスにしたがって、外部テストリハー装置に指示を出し、従来と同様に、リハー装置がスペアロウデコーダ42、スペアコラムデコーダ52のヒューズ素子をトリミングする構成としてもよい。

【0036】BIST回路2000によるこのような冗長解析が終わった後は、通常の読出動作および書込動作が行なわれることになる。

【0037】通常の読出動作および書込動作においては、アドレスバッファ30からの内部行アドレス信号をデコードした行デコーダ40からの出力に応じて、ワード線ドライバ45は、対応するワード線WLを選択的に活性化する。このとき、スペアロウデコーダ42は、不揮発的に記憶している不良行アドレスと、アドレスバッ

(6)

特開2002-117697

9

10

ファからの内部行アドレスとが一致した場合、スベアロウSRのワード線WLを活性化し、行デコード40に対しては、行選択動作を行なわない指示を与える。

【0038】一方、アドレスバッファ30からの内部列アドレス信号をデコードした列デコード50の出力に応じて、列デコード50はコラム選択信号を活性化する。一方、スベアコラムデコード52は、アドレスバッファ30からの内部列アドレス信号が、不揮発的に記憶している不良列アドレスと一致する場合には、スベアコラムSCに対応するコラム選択信号を活性化し、列デコード50に対しては、選択動作を行なわないように指示する。

【0039】コラム選択信号は、コラム選択線54によって列選択ゲート200に与えられる。列選択ゲート200は、列選択信号に応じてビット線対BL、/BLのデータを増幅するセンスアンプ60と、I/O線76とを選択的に接続する。

【0040】I/O線76は読出アンプ/音込ドライバ80および入出力バッファ85を介して、データ入出力端子15との間で記憶データの伝達を行なう。これにより、通常動作においては、データ入出力端子15とメモリセルMCとの間で記憶データの授受が行なわれる。

【0041】コントロール回路26は、たとえば、上述のとおり、BIST回路2000のテスト動作の開始・終了の制御を行ったり、あるいは外部制御信号の組合せにより読出動作が指定されている場合は、センスアンプ60を活性化するための信号SON、ZSOP等のDRAM1000の内部動作を制御するための内部制御信号を生成する。

【0042】DRAM1000は、さらに、外部電源電位Vccおよび接地電位Vssを受けて、ビット線対の“H”レベル電位に対応し、センスアンプ60に供給される内部電源電位Vddsを発生する内部電位発生回路70を備える。

【0043】図2は、図1に示したBIST回路2000の構成を説明するための概略ブロック図である。

【0044】BIST回路2000は、コントロール回路26からの制御に応じて、ビルトインテスト動作を制御するためのBIST制御部2010とBIST制御部2010に制御されて、ビルトインテスト動作中に内部行アドレス信号RA0-13、/RA0-13および内部列アドレス信号CA0-8、/CA0-8、テスト音込データTDおよび期待値データEDをそれぞれ生成するテスト信号発生器2020と、BIST制御部2010により制御され、アドレスバッファ30からの内部行アドレス信号RA0-13、/RA0-13と、テスト信号発生器からの内部行アドレス信号とを受けて、動作モードに応じていずれか一方を選択的にデコード40およびスベアロウデコード42に与えるマルチプレクサ2030と、BIST制御部2010により制御され

て、アドレスバッファ30からの内部列アドレス信号CA0-8、/CA0-8と、テスト信号発生器2020からの内部列アドレス信号とを受けて、動作モードに応じていずれか一方を列デコード50およびスベアコラムデコード52に出力するマルチプレクサ2040と、BIST制御部2010により制御され、音込ドライバ80からの音込データWDと、テスト信号発生器2020からのテスト書込データTDとを受けて、動作モードに応じていずれか一方を列選択ゲート200に与えるマルチプレクサ2050と、ビルトインテストモードにおける読出動作において、列選択回路200からの読出データRDと、テスト信号発生器2020からの期待値データEDとを比較し、比較結果の一致/不一致に応じてパス/フェイル信号P/Fを出力する比較器2060と、ビルトインテストモード中にテスト信号発生器から出力される内部行アドレス信号および内部列アドレス信号とを受けて、比較器2060からのパス/フェイル信号P/Fが活性化（データEDとデータRDとが一致しなかった場合）するのに応じて、正規メモリセルアレイ100R中の不良アドレスを記憶し、かつ、スベアロウSRおよびスベアコラムSCにより置換されるべき不良アドレスを決定するアドレス置換判定器3000を含む。

【0045】BIST制御部2010は、アドレス置換判定器3000の判定結果に応じて、スベアロウデコード42およびスベアコラムデコード52が電気的に音換え可能な不揮発性記憶素子を備える場合は、これら不揮発性記憶素子に置換されるべき不良アドレスをプログラムする。または、BIST制御部2010は、アドレス置換判定器3000の判定結果に応じて、置換されるべき不良アドレスを読出しアンプ80、入出力バッファを介して、入出力端子群15から外部へ出力する。

【0046】図3は、図2に示したアドレス置換判定器3000の構成を説明するための概略ブロック図である。

【0047】まず、アドレス置換判定器3000の構成について説明する前に、図1におけるメモリセルアレイ100中の不良アドレスを、スベアロウSRおよびスベアコラムSCで置換する処理手続について簡単にまとめておく。

【0048】以下では、図32に示したメモリセルアレイ部8010における不良メモリセルと同一の不良メモリセル分布が、メモリセルアレイ100においても発生しているものとする。

【0049】したがって、以下、図32を再び参照して、不良メモリセルDBM1～DBM8の8個の不良メモリセルが存在する場合、順次行アドレスを変化させながら、かつ列アドレスを変化させつつ、これら不良メモリセルDBM1～DBM8を検出していき、不良メモリセルDBM1～DBM8の順で、不良メモリセルの存在が検出されていくことになる。

(6)

特開2002-117697

9

10

ファからの内部行アドレスとが一致した場合、スベアロウSRのワード線WLを活性化し、行デコーダ40に対しては、行選択動作を行わない指示を与える。

【0038】一方、アドレスバッファ30からの内部列アドレス信号をデコードした列デコーダ50の出力に応じて、列デコーダ50はコラム選択信号を活性化する。一方、スベアコラムデコーダ52は、アドレスバッファ30からの内部列アドレス信号が、不揮発的に記憶している不良列アドレスと一致する場合には、スベアコラムSCに対応するコラム選択信号を活性化し、列デコーダ50に対しては、選択動作を行わないように指示する。

【0039】コラム選択信号は、コラム選択線54によって列選択ゲート200に与えられる。列選択ゲート200は、列選択信号に応じてビット線対BL、/BLのデータを増幅するセンスアンプ60と、I/O線76とを選択的に接続する。

【0040】I/O線76は読出アンプ/音込ドライバ80および入出力バッファ85を介して、データ入出力端子15との間で記憶データの伝達を行なう。これにより、通常動作においては、データ入出力端子15とメモリセルMCとの間で記憶データの授受が行なわれる。

【0041】コントロール回路26は、たとえば、上述のとおり、BIST回路2000のテスト動作の開始・終了の制御を行ったり、あるいは外部制御信号の組合せにより読出動作が指定されている場合は、センスアンプ60を活性化するための信号SON、ZSOP等のDRAM1000の内部動作を制御するための内部制御信号を生成する。

【0042】DRAM1000は、さらに、外部電源電位Vccおよび接地電位Vssを受けて、ビット線対の“H”レベル電位に対応し、センスアンプ60に供給される内部電源電位Vddsを発生する内部電位発生回路70を備える。

【0043】図2は、図1に示したBIST回路2000の構成を説明するための概略ブロック図である。

【0044】BIST回路2000は、コントロール回路26からの制御に応じて、ビルトインテスト動作を制御するためのBIST制御部2010とBIST制御部2010に制御されて、ビルトインテスト動作中に内部行アドレス信号RA0-13、/RA0-13および内部列アドレス信号CA0-8、/CA0-8、テスト音込データTDおよび期待値データEDをそれぞれ生成するテスト信号発生器2020と、BIST制御部2010により制御され、アドレスバッファ30からの内部行アドレス信号RA0-13、/RA0-13と、テスト信号発生器からの内部行アドレス信号とを受けて、動作モードに応じていずれか一方を選択的にデコーダ40およびスベアロウデコーダ42に与えるマルチプレクサ2030と、BIST制御部2010により制御され

て、アドレスバッファ30からの内部列アドレス信号CA0-8、/CA0-8と、テスト信号発生器2020からの内部列アドレス信号とを受けて、動作モードに応じていずれか一方を列デコーダ50およびスベアコラムデコーダ52に出力するマルチプレクサ2040と、BIST制御部2010により制御され、音込ドライバ80からの音込データWDと、テスト信号発生器2020からのテスト音込データTDとを受けて、動作モードに応じていずれか一方を列選択ゲート200に与えるマルチプレクサ2050と、ビルトインテストモードにおける読出動作において、列選択回路200からの読出データRDと、テスト信号発生器2020からの期待値データEDとを比較し、比較結果の一致/不一致に応じてパス/フェイル信号P/Fを出力する比較器2060と、ビルトインテストモード中にテスト信号発生器から出力される内部行アドレス信号および内部列アドレス信号とを受けて、比較器2060からのパス/フェイル信号P/Fが活性化（データEDとデータRDとが一致しなかった場合）するのに応じて、正規メモリセルアレイ100R中の不良アドレスを記憶し、かつ、スベアロウSRおよびスベアコラムSCにより置換されるべき不良アドレスを決定するアドレス置換判定器3000を含む。

【0045】BIST制御部2010は、アドレス置換判定器3000の判定結果に応じて、スベアロウデコーダ42およびスベアコラムデコーダ52が電気的に音換え可能な不揮発性記憶素子を備える場合は、これら不揮発性記憶素子に置換されるべき不良アドレスをプログラムする。または、BIST制御部2010は、アドレス置換判定器3000の判定結果に応じて、置換されるべき不良アドレスを読出しアンプ80、入出力バッファを介して、入出力端子群15から外部へ出力する。

【0046】図3は、図2に示したアドレス置換判定器3000の構成を説明するための概略ブロック図である。

【0047】まず、アドレス置換判定器3000の構成について説明する前に、図1におけるメモリセルアレイ100R中の不良アドレスを、スベアロウSRおよびスベアコラムSCで置換する処理手続について簡単にまとめておく。

【0048】以下では、図32に示したメモリセルアレイ部8010における不良メモリセルと同一の不良メモリセル分布が、メモリセルアレイ100Rにおいても発生しているものとする。

【0049】したがって、以下、図32を再び参照して、不良メモリセルDBM1～DBM8の8個の不良メモリセルが存在する場合、順次行アドレスを変化させながら、かつ列アドレスを変化させつつ、これら不良メモリセルDBM1～DBM8を検出していき、不良メモリセルDBM1～DBM8の順で、不良メモリセルの存在が検出されていくことになる。

(8)

特開2002-117697

13

SR2で置換されるべき行アドレスを記憶するための記憶セル列MCR12とを含む。

【0064】一方、コラムアドレス記憶部CM1は、第1のスペアコラムSC1により置換されるべき列アドレスを記憶するための記憶セル列MCC11と、第2のスペアコラムSC2で置換されるべき列アドレスを記憶するための記憶セル列MCC12とを含む。

【0065】第1の置換判定部3100.1は、上述のとおりケース1の場合に対応しているため、対応しているロウアドレス記憶部RM1およびコラムアドレス記憶部CM1中の記憶セル列を、記憶セル列MCR11、記憶セル列MCR12、記憶セル列MCC11、記憶セル列MCC12の順序で、バス/フェール信号P/Fが活性化することにより、その時点での内部アドレス信号を記憶セル列に言込むか否かの判定をしていく。

【0066】メモリセル列MCR11、MCR12、MCC11、MCC12に対応して、プリチャージ回路CPR11、CPR12、CPC11、CPC12がそれぞれ設けられている。プリチャージ回路CPR11～CPC12は、それぞれ、対応する記憶セル列MCR11～MCC12に対して設けられている一致判定線MHLを、信号線に応じて“H”レベルにプリチャージする。

【0067】メモリセル列MCR11およびMCR12は、それぞれ内部行アドレス信号RA0、/RA0の組～信号RA13、/RA13の組の14個の組に対応して設けられ、これら信号のレベルを記憶するためのTGセルを含んでいる。

【0068】同様にして、記憶セル列MCC11およびMCC12は、それぞれ、内部列アドレス信号CA0、/CA0の組～信号CA8、/CA8の組に対応してそれぞれ設けられ、これら信号レベルを記憶するためのTGセルを含んでいる。

【0069】ロウアドレス記憶部RM1およびコラムアドレス記憶部CM1中のTGセルは、対応する第1の置換判定部3100.1からの指示に応じて、言込活性化線TWLのレベルが活性レベル（“H”レベル）となることに応じて、それぞれ対応する内部行アドレス信号または内部列アドレス信号のレベルを記憶する。

【0070】一方、予め“H”レベルにプリチャージされている一致判定線MHLのレベルは、記憶セル列が既に記憶しているアドレス信号のレベルと、その時点でアドレス置換判定部3000に与えられている内部アドレス信号RA0、/RA0～RA13、/RA13または内部列アドレス信号CA0、/CA0～CA8、/CA8のレベルとが一致している場合には“H”レベルを維持する。一方、一致していない場合には、一致判定線MHLのレベルは、“L”レベルとなる。

【0071】さらに、記憶セル列MCR11、MCR12、MCC11およびMCC12に対応して、フリップフロップ回路SFR11、SFR12、SFC11、S

14

FC12がそれぞれ設けられている。フリップフロップ回路SFR11～SFC12のレベルは、テスト動作が開始される前に、リセット信号RSTによりリセットされており、対応する記憶セル列の言込選択線TWLが活性状態（“H”）となることに応じて、セットされる。

【0072】第2の置換判定部3100.2は、ケース2に対応しており、スペアロウによる置換処理と、スペアコラムによる置換を交互に行なう処理に対応して、ロウアドレス記憶部RM2およびコラムアドレス記憶部CM2がそれぞれ設けられている。第2の置換判定部3100.2は、対応しているロウアドレス記憶部RM2およびコラムアドレス記憶部CM2中の記憶セル列を、記憶セル列MCR21、記憶セル列MCC21、記憶セル列MCR22、記憶セル列MCC22の順序で、バス/フェール信号P/Fが活性化することにより、その時点での内部アドレス信号を記憶セル列に言込むか否かの判定をしていく。その他の構成は、第1の置換判定部3100.1の構成と同様である。

【0073】第3から第6の置換判定部3100.3～3100.6についても、それぞれが、ケース3からケース6に応じて、対応する記憶セル列と記憶セル列への言込みを行なう順序とが異なるのみで、その他の構成は置換判定部3100.1の構成と同様であるためその説明は繰り返さない。

【0074】以上のような構成において、置換判定部3100.1の動作の大略を述べると以下のとおりである。

【0075】すなわち、たとえば、バス/フェール信号P/Fが活性状態となった時点で、第1の置換判定部3100.1は、記憶セル列MCR11の言込選択線TWLを活性状態とする。これに応じて、記憶セル列MCR11に対応するフリップフロップ回路SFR11のレベルがセットされ、この記憶セル列MCR11へのアドレス信号の言込が既に行なわれたことがデータとして保持される。

【0076】続いて、再びバス/フェール信号P/Fが活性状態となった際に、記憶セル列MCR11中に保持されている内部行アドレス信号と、その時点での内部行アドレス信号のレベルとの比較を、それぞれのTGセルが行ない、その比較結果に応じて、記憶セル列MCR11の一致検出線MHLのレベルが駆動される。これに応じて、第1の置換判定部3100.1は、既に記憶セル列MCR11に保持されている内部行アドレスと、新たに検出された不良メモリセルに対応する内部行アドレスとが一致している場合には、記憶セル列MCR12の活性化を行なわない。

【0077】これに対して、記憶セル列MCR11に既に記憶されている内部行アドレスと、新たに発見された不良メモリセルに対応する内部行アドレスとが一致していない場合には、第1の置換判定部3100.1は、2

(9)

特開2002-117697

15

番目に活性化されるべき記憶セル列MCR12の書込選択線TWLを活性状態とする。

【0078】すると、2番目の記憶セル列MCR12に、新たに発見された不良メモリセルに対応する内部行アドレスが書込まれるとともに、記憶セル列MCR12に対応するフリップフロップ回路SFR12のレベルがセット状態とされる。

【0079】以下同様にして、順次不良メモリセルが検出されるたびに、既に記憶セル列中に保持されている内部行アドレスあるいは内部列アドレスと、新たに検出された不良メモリセルに対応する内部行アドレスまたは内部列アドレスが一致しない場合には、第1の置換判定部3100、1の対応するケース1の順番に従って、記憶セル列が活性化されていく。

【0080】一方で、既に記憶セル列中に記憶されている内部行アドレスまたは内部列アドレスと、新たに検出された不良メモリセルに対応する内部行アドレスまたは内部列アドレスとが一致する場合には、第1の置換判定部3100、1は、次の順番に対応する記憶セル列の活性化は行なわない。

【0081】最終的に、ビルトインテスト中において正規メモリセルを検査していったときに、順次検出されるすべての不良メモリセルの内部行アドレスおよび内部列アドレスが、ロウアドレス記憶部MR1およびコラムアドレス記憶部CM1中に既に記憶されている内部行アドレスまたは内部列アドレスと一致しているならば、第1の置換判定部3100、1に対応した順序で不良メモリセルをスペアロウまたはスペアコラムで置換することによって、すべての不良メモリセルを置換救済することが可能と判定される。その判定結果は、リペアフェイル信号RFとして、アドレス置換判定器3000からBIST制御部2010に与えられる。

【0082】上述のとおり、第1の置換判定部3100、1およびそれに対応するロウアドレス記憶部RM1ならびにコラムアドレス記憶部CM1に対応するのと同様の構成が、第2の置換判定部3100、2～第6の置換判定部3100、6に対しても設けられている。しかも、第2の置換判定部3100、2から第6の置換判定部3100、6のそれぞれが、ケース2からケース6にそれぞれ対応していることに応じて、各置換判定部は、対応する順序に従ってロウアドレス記憶部の記憶セル列およびコラムアドレス記憶部の記憶セル列を活性化していく。

【0083】したがって、図1に示したように、2個のスペアロウおよび2個のスペアコラムにより、正規メモリセルアレイ1000R中の不良メモリセルの救済が可能であるならば、第1の置換判定部3100、1から第6の置換判定部3100、6のいずれか少なくとも1つからのリペアフェイル信号RFは、最後の不良メモリセルが検出された時点でも、不活性状態（“L”レベル）を

16

維持していることになる。

【0084】これに応じて、BIST制御部2010は、リペアフェイル信号RFが不活性状態である置換判定部に対応するロウアドレス記憶部およびコラムアドレス記憶部に保持されている内部行アドレス信号および内部列アドレス信号を読み出す。この読み出した内部行アドレス信号および内部列アドレス信号に応じて、スペアロウデコーダ42およびスペアコラムデコーダ52に対して、置換されるべき行アドレスおよび列アドレスをプログラムすることが可能となる。

【0085】以上のとおり、ロウアドレス記憶部RM1からRM6に対して、記憶セル列は $2 \times 6 = 12$ 個存在し、コラムアドレス記憶部CM1～RM6に対して、記憶セル列が $2 \times 6 = 12$ 個存在し、合計で24個の記憶セル列が存在していることになる。

【0086】図4は、図3に示したTGセルの構成を示す回路図である。TGセルは、内部列アドレス信号CANまたは内部行アドレス信号RAN（n：自然数、RANの場合は $n=0 \sim 13$ 、CANの場合は $n=0 \sim 8$ ）を伝送するためのアドレス信号線ASL1と、2つのインバータINV1およびINV2により構成される記憶素子BSEと、記憶素子BSEの記憶ノードn1とアドレス信号線ASL1とを、信号線TWLのレベルに応じて接続するためのNチャネル型アクセストランジスタA1と、アドレス信号CANまたはRANと相補な内部アドレス信号/CANまたは/RANを伝送するためのアドレス信号線ASL2と、記憶素子BSEの記憶ノードn2とアドレス信号線ASL2との間の接続を、信号TWLのレベルに応じて接続するためのNチャネル型アクセストランジスタA2と、一致検出線MHLと接地電位との間に直列に接続されるNチャネルトランジスタT11およびT12と、一致検出線MHLと接地電位との間に直列に接続されるトランジスタT13およびT14とを含む。

【0087】トランジスタT11のゲートは、アドレス信号線ASL1と接続し、トランジスタT12のゲートは、記憶素子BSEの記憶ノードn2と接続している。

【0088】トランジスタT13のゲートは、記憶素子BSEの記憶ノードn1と接続し、トランジスタT14のゲートはアドレス信号線ASL2と接続している。

【0089】すなわち、書込選択線TWLの活性化に応じて、記憶素子BSEは、アドレス信号線ASL1およびASL2と接続される。一方、記憶素子BSEに保持されているデータと、アドレス信号線ASL1およびASL2上の内部アドレス信号とが一致しない場合には、一致検出線MHLは、トランジスタT11およびT12の経路またはトランジスタT13およびT14の経路のいずれかを介して、接地電位と接続され放電されることになる。

【0090】図5は、図3に示した第1の置換判定部3

(10)

特開2002-117697

17

100. 1の構成を説明するための概略ブロック図である。

【0091】第2の置換判定部3100. 2～第6の置換判定部3100. 6の構成も、接続される記憶セル列が異なるのみで、その基本的な構成は同様である。

【0092】第1の置換判定部3100. 1は、記憶セル列MCR11の一致検出線MHLとフリップフロップ回路SFR11の出力とが入力ノードと接続するAND回路3102と、記憶セル列MCR12の一致検出線MHLと、フリップフロップ回路SFR12の出力とが入力ノードと接続するAND回路3104と、記憶セル列MCC11の一致検出線MHLと、フリップフロップ回路SFC11の出力とが入力ノードと接続するAND回路3106と、記憶セル列MCC12の一致検出線MHLと、フリップフロップ回路SFC12の出力とが入力ノードと接続するAND回路3108と、AND回路3102～3108の出力を受けて、信号MSを出力する4入力NOR回路3110を含む。

【0093】以下では、第1の置換判定部3100. 1のAND回路3102～3108の入力ノードのうち、一致検出線MHLと接続する入力ノードをそれぞれノードMHa、MHb、MHc、MHdで表わし、フリップフロップ回路SFR11～SFC12の出力と接続する入力ノードをノードMVa、MVb、MVc、MVdで表わすことにする。

【0094】第1の置換判定部3100. 1はさらに、ノードMVaのレベルの反転信号、ノードMVbのレベルの反転信号、ノードMVcのレベルの反転信号、ノードMVdのレベルの反転信号と、信号MSと、バス/フェイル信号P/Fとを受けて、これらの信号の論理積を、記憶セル列MCR11の音込選択線TWLに与える音込選択信号WEaとして出力する論理ゲート3200と、ノードMVaのレベルの信号、ノードMVbのレベルの反転信号、ノードMVcのレベルの反転信号、ノードMVdのレベルの反転信号と、信号MSと、バス/フェイル信号P/Fとを受けて、これらの信号の論理積を、記憶セル列MCR12の音込選択線TWLに与える音込選択信号WEbとして出力する論理ゲート3202と、ノードMVaのレベルの信号、ノードMVbのレベルの信号、ノードMVcのレベルの反転信号、ノードMVdのレベルの反転信号と、信号MSと、バス/フェイル信号P/Fとを受けて、これらの信号の論理積を、記憶セル列MCC11の音込選択線TWLに与える音込選択信号WEcとして出力する論理ゲート3204と、ノードMVaのレベルの信号、ノードMVbのレベルの信号、ノードMVcのレベルの信号、ノードMVdのレベルの反転信号と、信号MSと、バス/フェイル信号P/Fとを受けて、これらの信号の論理積を、記憶セル列MCC12の音込選択線TWLに与える音込選択信号WEdとして出力する論理ゲート3206を含む。

18

【0095】第1の置換判定部3100. 1はさらに、ノードMVaのレベル、ノードMVbのレベル、ノードMVcのレベル、ノードMVdのレベル、信号MSおよびバス/フェイル信号P/Fを受けて、これらの論理積を出力する6入力AND回路3208と、リセット信号RSTに応じてリセットされ、AND回路3208の出力に応じてセットされて、ケース1に対するリペアフェイル信号CS1-RFを出力するフリップフロップ回路3210を含む。

【0096】次に、図3に示したアドレス置換判定器3000の動作をより詳しく説明する。

【0097】図6および図7は、アドレス置換判定器3000の動作を説明するためのタイミングチャートである。

【0098】以下の説明においても、図32に示した不良メモリセルDBM1～DBM8の順序で不良メモリセルが検出された場合について説明する。

【0099】図6には図示しないが、テスト開始前に、すべてのフリップフロップのクリア動作を行なうためにリセット信号RSTが活性化される。また、図示しないが、各一致判定動作を行なう前に、信号ψに応じて、一致判定線MHLは“H”レベルにプリチャージされているものとする。

【0100】以下、第1の置換判定部3100. 1の動作と、それに接続された記憶セル列MCR11、MCR12、MCC11、MCC12の動作について説明する。

【0101】第1の置換判定部3100. 1は、上述のとおり、検出された不良メモリセルを、スベアロウ・スベアロウ・スベアコラム・スベアコラムの順に従って置換していく処理に対応している。

【0102】図6を参照して、第1の置換判定部3100. 1のMSノードのレベル（図6中の信号CS1-MSに対応）は、時刻t1において、ノードMVa、MVb、MVc、MVdのすべてが“L”レベルなので、言い換えると記憶セル列MCR11、MCR12、MCC11、MCC12のすべての値が未だ書込動作が行なわれていないので、“H”レベルとなっている。

【0103】不良メモリセルDBM1が検出され、信号P/Fが活性化（“H”レベル）となった時点の時刻t2で、記憶セル列MCR11に対する音込選択信号WEaが“H”レベルになり、記憶セル列MCR11に不良メモリセルDBM1のロウアドレスRF1が音込まれる。

【0104】次に、不良メモリセルDBM2の検出時には、記憶セル列MCR11に対応するフリップフロップ回路SFR11からの信号に応じてノードMVaのレベルは“H”レベルとなっているが、記憶セル列MCR11に記録されている値と不良メモリセルDBM2のロウアドレスが一致しないため、ノードMHaのレベルは

(11)

特開2002-117697

19

“H”レベルとはならない。このため、第1の置換判定部3100、1のMSノードは“H”レベルとなり、信号P/Fが時刻t3で“H”レベルとなるのに応じて、記憶セル列MCR12に対応した音込選択信号WEbが“H”レベルとなって、記憶セル列MCR12に不良メモリセルDBM2のロウアドレスRF2が音込まれる。

【0105】次に、不良メモリセルDBM3の検出時には、記憶セル列MCR12に既に記録されたロウアドレスが不良メモリセルDBM3のロウアドレスと一致するため、第1の置換判定部3100、1のMSノードは“L”レベルとなる。そのため、記憶セル列MCC11に対応する音込選択信号WEcは“L”レベルのままであるため、記憶セル列MCC11への書込は行なわれない。

【0106】不良メモリセルDBM4の検出時についても同様に、MSノードが“L”レベルとなるため、記憶セル列MCC11への内部アドレスの書込は行なわれない。

【0107】次に、図7を参照して、不良メモリセルDBM5の検出時の時刻t4には、既に対応する記憶セル列に記憶されているいずれの内部行アドレスおよび内部列アドレスとも不良メモリセルDBM5の内部アドレスが一致しないため、記憶セル列MCC11へ不良メモリセルDBM5の内部コラムアドレスが書込まれる。

【0108】不良メモリセルDBM6およびDBM7の検出時には、既に記憶セル列MCC11に記録されたコラムアドレスと、不良メモリセルDBM6およびDBM7のコラムアドレスが一致するため、記憶セル列MCC12への音込選択信号WE dは活性化されず、記憶セル列MCC12への内部アドレスの音込は行なわれない。

【0109】不良メモリセルDBM8の検出時の時刻t5においては、不良メモリセルDBM8のコラムアドレスが、既にメモリセル列MCR11、MCR12、MCC11に記憶されている内部アドレスとは一致しないため、不良メモリセルDBM8のコラムアドレスCF8が記憶セル列MCC12へ書込まれる。

【0110】メモリアレイ中のすべての不良が検出された時点（テスト終了時）においても、以上の動作では、第1の置換判定部3100、1のフリップフロップ回路3210の出力レベルはセットされない。

【0111】第2の置換判定部3100、2～第6の置換判定部3100、6についても、それらが接続される記憶セル列やロウまたはコラム判定を行なう順序が第1の置換判定部3100、1とは異なるが、その動作は第1の置換判定部3100、1の動作と同様である。

【0112】ただし、各記憶セル列に書込まれるアドレスと、8番目の不良メモリセルDBM8が検出された際にフリップフロップ回路3210の出力がセットされているか否かについては、各置換判定部によって異なる。

20

【0113】テストが終了した後、BIST制御部2010は、第1の置換判定部3100、1から第6の置換判定部3100、6のフリップフロップ回路3210の値に対応するリペアフェイル信号RFを読み取る。第1の置換判定部3100、1から第6の置換判定部3100、6のうち、リペアフェイル信号RFが“L”レベルである置換判定部に接続されている記憶セル列であって、かつ、有効な値を保持している記憶セル列、言い換えると、ノードMVa、MVb、MVc、MVdのうち、そのレベルが“H”レベルである記憶セル列に記憶されている値が、置換するべきアドレスを示す。以上説明した例では、第1の置換判定部3100、1に対応する記憶セル列に記憶されたアドレスまたは第5の置換判定部3100、5に接続された記憶セル列に記録された値に基づいて、スペアロウおよびスペアコラムで置換処理をすればよい。

【0114】以上説明したようなBIST回路2000の構成では、被測定半導体記憶装置の記憶容量が大きくなっても、回路規模を小さく抑えることができるため、半導体記憶装置への内蔵が容易であるという利点がある。

【0115】なお、以上の説明では、スペアロウが2本、スペアコラムが2本の場合を例として説明したが、スペアロウおよびスペアコラムの数はこれらの値に限定されることなく、たとえば、スペアロウおよびスペアコラムの本数が増えた場合には、それに応じて、増加する組み合わせの数だけ置換判定部を設け、かつそれに対応するロウアドレス記憶部およびコラムアドレス記憶部を設ければよい。

【0116】さらに、実施の形態1では半導体記憶装置内部にBIST回路2000が設けられる構成としたが、この発明はこのような場合に限定されることなく、半導体記憶装置が、たとえばロジック回路とともにワンチップ上に集積化されている場合に、この半導体記憶装置のテストをするためにBIST回路2000が設けられる構成となってもよい。

【0117】【メモリセルアレイあたり複数ビットのデータが読み出される構成】

（メモリセルアレイあたり複数ビットデータが読み出される構成での問題点）図8は、メモリセルアレイ100が、2つのサブメモリアレイ100、0および100、1に分割された場合の冗長メモリアレイによる置換動作を説明するための概念図である。

【0118】図8に示した例においては、ワード線WLが活性化すると、サブメモリアレイ100、0のビット線BL0、/BL0と、サブメモリアレイ100、1のビット線BL1、/BL1から同時にデータの読出が行なわれる場合を示している。

【0119】このような構成において、上述したような冗長メモリアレイの置換を行なうこととすると、以

(12)

特開2002-117697

21

下に説明するような問題が存在する。

【0120】すなわち、まず冗長メモリセルへの置換が冗長メモリセル列→冗長メモリセル行という順序で行なわれる場合、同一のメモリセル行に属するメモリセルDBM1およびDBM2が、ともに欠陥メモリセルであるときには、たとえば、そのうちの欠陥メモリセルDBM1を冗長メモリセル列SCにより置換することが可能である。

【0121】しかしながら、図1において説明した半導体記憶装置1000の構成においては、2つのメモリセル列を同時に置換することは行なわれない。したがって、欠陥メモリセルDBM1を含むメモリセル列が、冗長メモリセル列SCにより置換されるという処理を行なった後で、欠陥メモリセルDBM1とは異なるメモリセル行に属する欠陥メモリセルDBM3が検出された場合には、続いて、この欠陥メモリセルDBM3が含まれるメモリセル行が、冗長メモリセル行SRにより置換される。

【0122】しかしながら、このような置換処理を行なったのでは、欠陥メモリセルDBM2については救済することができない。しかもそのような救済ができないのみならず、BIST回路2000にとってみると、同一の行アドレスおよび同一の列アドレスにより指定される欠陥メモリセルDBM1が救済されているので、本来欠陥メモリセルDBM2は救済されていないにもかかわらず、結果としてメモリセルDBM1もDBM2も、ともに救済されていると誤って判断されてしまう。

【0123】図9は、冗長メモリセル行SRで置換した後に冗長メモリセル列SCで置換する処理を行なう場合を示す概念図である。

【0124】この場合は、冗長メモリセル行SRで置換することにより、欠陥メモリセルDBM1およびDBM2が同時に救済される。したがって、欠陥メモリセルDBM1とは異なるメモリセル行に属する欠陥メモリセルDBM3が検出された時点で、この欠陥メモリセルDBM3の属するメモリセル列を冗長メモリセル列SCで置換することにより、欠陥メモリセルDBM1～DBM3のすべてが救済される。

【0125】しかも、BIST回路2000においては、すべてのメモリセル列が救済されたと判定されるので、たとえば図5に示した回路3100、1における信号CS1～RFも救済可能であることを示すことになる。

【0126】すなわち、図8および図9で説明したとおり、メモリセルアレイ1000が、2つのサブメモリセルアレイ1000、0および1000、1に分割され、1つのワード線WLの活性化に応じて、複数のメモリセル（たとえば2つのメモリセル）から同時にデータが読出される場合は、単純に図1～図5で説明したようなBIST回路2000の構成では、冗長メモリセルアレイによる

22

救済が行なわれたか否かを正しく判定することができない場合が存在することになる。

【0127】[メモリセルアレイから一度に複数ビットのデータが読出される構成]さらに、近年ではデータ処理のパフォーマンスを向上させるために、ワンチップ上にロジック回路と半導体記憶装置が搭載される場合がある。この場合、ロジック回路と半導体記憶装置が同一のチップ上に集積化されるという利点を活かして、ロジック回路と半導体記憶装置とはデータ幅の広いバスで接続されるのが一般的である。

【0128】したがって、この場合は、メモリセルアレイからは一括して複数ビットのデータ、たとえば、1ページ分のデータが一時に読出され、ロジック回路との間でやり取りがなされる場合がある。

【0129】したがって、このような場合には、一層、図1に示したようなBIST回路2000の構成では、不良ビットの置換という観点からすると十分ではない。

【0130】図10は、このようにワンチップ上にロジック回路と半導体記憶装置とが集積化された半導体記憶装置1002の構成を示す概略ブロック図である。

【0131】図10を参照して、半導体記憶装置1002は、大きくはロジック回路ブロック1200と半導体記憶装置ブロック1300とを備える。

【0132】ロジック回路ブロック1200は、外部から制御信号入力端子1010を介して与えられる制御信号と、データ入出力端子1070を介して与えられるデータとに基づいて、所定の演算処理を行ない、その途中経過あるいは最終結果を半導体記憶装置ブロック1300に格納する。

【0133】半導体記憶装置ブロック1300は、メモリセルアレイ1100に対し、テスト動作において、テストデータの書き込みおよび読出されるデータに基づく試験を行なうためのBIST回路2002を備える。

【0134】後に説明するように、BIST回路2002の構成は、図1に示したBIST回路2000の構成と、不良ビットの検出を行なうための比較器2060の構成と、ビルトインセルフテストの動作を制御するためのBIST制御部2010の構成が異なるのみで、その他の構成は基本的に同様である。

【0135】半導体記憶装置ブロック1300は、さらに、クロック入力端子1002を介して与えられる外部クロック信号ext. CLKが、ロジック回路ブロック1200において、相補なクロック信号CLKおよび/CLKに変換されたものを受けて、バッファ処理し、相補な内部クロック信号int. CLKおよび/int. CLKとして出力するためのクロック入力バッファ150および152と、ロジック回路ブロック1200から与えられる制御信号を内部クロック信号int. CLKに同期して受けるモードデコーダ1022とを備える。

【0136】ロジック回路ブロック1200から半導体

(13)

特開2002-117697

23

記憶装置ブロック1300へ与えられる制御信号としては、信号CKEと、行系動作の活性化を指示するための信号ROWAと、プリチャージ動作を指示するための信号PCと、読出動作を指示するための信号READと、書込動作を指示するための信号WRITEと、オートプリチャージ動作を指示するための信号APCと、リフレッシュ動作を指示するための信号REFと、セルフリフレッシュモードを指定するための信号SRとがある。

【0137】信号CKEは、半導体記憶装置ブロック1300への制御信号の入力を可能とすることを指示するための信号であり、この信号が活性化されないと、上述したような制御信号が、モードデコーダ1022へ入力されない。

【0138】このような制御信号のモードデコーダ1022の入力は、信号CKEを受ける内部制御信号入力バッファ1012の出力を受けて、活性化される制御信号入力バッファ群1014により制御される。

【0139】半導体記憶装置ブロック1300は、さらに、書込あるいは読出動作を行なうためにロジック回路ブロック1200から出力される活性化されるバンクを指示するバンクアドレスを入力バッファ1016を介して受け、格納するための活性バンクラッチ回路1052、1と、ロジック回路ブロック1200から入力バッファ1018を介して与えられるプリチャージ動作を行なうバンクを指示するためのプリチャージバンクアドレスを受けて格納するプリチャージバンクラッチ回路1052、2と、ロジック回路ブロック1200から与えられる読出動作を行なうバンクを指示する読出バンクアドレスを、入力バッファ1020を介して受け、格納するための読出バンクラッチ1052、3と、ロジック回路ブロック1200から与えられる書込動作を行なうバンクを指示するための書込バンクアドレス信号を入力バッファ1022を介して受け、格納するための書込バンクラッチ1052、4と、書込動作または読出動作において、ロジック回路ブロックから与えられる行アドレス信号を入力バッファ1024を介して受け、格納するための行アドレスラッチ回路1048と、読出動作における列アドレスをロジック回路ブロック1200から入力バッファ1026を介して受け格納するための読出アドレスラッチ1050と、書込動作における列アドレスをロジック回路ブロック1200から入力バッファ1028を介して受け格納するための書込アドレスラッチ1051とを備える。

【0140】モードデコーダ1022は、与えられた制御信号に応じて、半導体記憶装置ブロック1300の内部回路の動作を制御するための内部制御信号を出力する。モードデコーダ1022は、たとえば内部制御信号として、信号ROWA、信号COLA、信号PC、信号READ、信号WRITE、信号APCおよび信号SRを出力する。信号ROWAは、ロウ系のアクセスが行

24

なわれることを示す信号であり、信号COLAはコラム系アクセスが行なわれることを示す信号である。

【0141】信号PCはプリチャージ動作を指示して、行系の回路動作の終了を指示する信号である。信号READは列系の回路に対して読出動作を指示するための信号であり、信号WRITEは列系の回路に対して書込動作を指示するための信号である。

【0142】信号APCはオートプリチャージ動作を指示する信号であり、オートプリチャージ動作が指定されると、バーストサイクルの終了とともに、プリチャージ動作が自動的に開始される。信号SAはセルフリフレッシュ動作を指示するための信号であり、セルフリフレッシュ動作が開始されると、セルフリフレッシュタイマが動作し、一定時間が経過すると、ワード線を活性化させて、リフレッシュ動作を開始する。

【0143】半導体記憶装置ブロック1300は、さらに、セルフリフレッシュモードが信号SRにより指定されると、動作を開始し、一定時間が経過するとワード線の活性化、すなわちリフレッシュ動作の開始を指示するためのセルフリフレッシュタイマ1054と、セルフリフレッシュタイマ1054からの指示に従って、リフレッシュ動作を行なうアドレスを発生するためのリフレッシュカウンタ1056とを含む。

【0144】半導体記憶装置ブロック1300は、さらに、入力信号の“H”レベルまたは“L”の判定の基準となる信号VRFをロジック回路ブロック1200から受ける参照電位入力ノード1030と、ロウアドレスラッチ回路1048からの出力を受けて、半導体記憶装置ブロック1300の動作モードを指定する信号を保持するモードレジスタ1046と、BIST回路2022の出力とリフレッシュアドレスカウンタ1056からの出力とロウアドレスラッチ1048からの出力とを受け、通常動作においてはロウアドレスラッチ1048からの出力を、セルフリフレッシュ動作中はリフレッシュアドレスカウンタ1056からの出力を、テストモード中はBIST回路2002の出力を選択して出力するマルチプレクサ1058と、マルチプレクサ1058からの出力を受けて行アドレスをブリデコードするためのロウブリデコーダ1062と、読出アドレスラッチ1050からの出力を受けて、読出動作を行なうための列アドレスのブリデコードを行なうためのブリデコーダ1063と、書込アドレスラッチ1051からの出力を受けて、書込動作を行なうための列アドレスをブリデコードするためのブリデコーダ1064とを備える。

【0145】半導体記憶装置ブロック1300は、さらに、それぞれが読出／書込動作を独立に行なうことが可能な単位である複数のバンクを備えるメモリセルアレイ1100と、行活性バンクラッチ1052からの出力と、行ブリデコーダ1062からの出力に基づいて、対応するバンク中の行（ワード線）を選択するためのメイ

(14)

特開2002-117697

25

ンデコーダ2142と、プリデコーダ1062からの出力を受けて、対応する行の選択を行なうためのロウデコーダ群2143と、コラムプリデコーダ1063または1064からの出力に応じて対応するバンク中の列（ビット線対）を選択するためのメインコラムデコーダ2104と、読出動作においては選択されたバンク中の選択されたメモリセルから読出されたデータを読出グローバルI/OバスG-I/ORに与え、書込動作においては、バスG-I/OWにより伝達された書込データを対応するバンクに与えるI/Oポート2152と、書込動作において、外部から与えられた書込データを保持し、バスG-I/OWに与え、読出動作において、バスG-I/ORにより伝達された読出データを保持するデータ入出力回路1086と、データ入出力回路1086とデータ入出力ノード1072との間で入力データDIO~DInならびに読出データDQ0~DQnのやり取りを行なうためのデータに出力バッファ群1074とを備える。

【0146】図11は、メモリアレイ1100の構成を示す簡略ブロック図である。図11を参照して、メモリセルアレイ1100においては、列方向の選択、すなわち選択されたメモリセルの接続するビット線対の電位レベルを増幅するセンスアンプとメインI/O線対との接続を選択的に開閉するゲート回路2162の制御を行なうセグメントYS線が、階層構造を有している。

【0147】すなわち、行方向に沿って配置されるメインセグメントYS線SGYSのレベルと、YSセグメントデコーダからの信号とに応じて制御されるサブYSデコーダ2210により、サブYS線が活性化され、これに応じて、ゲート回路2162が制御される構成となっている。

【0148】さらに、メモリセルアレイ1100においては、行方向の冗長構成は、メモリセルアレイの端部に配置された行冗長部2300にまとめて配置される構成となっている。

【0149】また、列方向の冗長構成は、細分化されたメモリセルアレイ単位MCAUとは別個の領域のスペアコラム領域SPCLに設けられる。

【0150】なお、図11においては、1つのメモリセルアレイ単位MCAUのすぐ右隣に配置されている冗長列の構成のみを示しているが、実際には、同様の構成が、サブI/O線対SM-I/Oに沿って配置されている。

【0151】さらに、たとえばこの冗長列領域SPCLを換えて、対称にメモリセルアレイ単位MCAUがさらに配置される構成となってもよい。

【0152】冗長列領域においても、正規のメモリセルアレイ単位領域MCAUと同様に、メインワード線MWLの活性化と、バンク選択線の活性化に応じて活性化されるサブワードドライバ2168bに応じて、サブワー

26

ド線SWLが活性化される構成となっている。

【0153】さらに、冗長列領域の選択されたメモリセル列とサブI/O線対との接続を選択的に制御するゲート回路2210bも、正規のメモリセルアレイ単位領域と同様に、階層的なセグメントYS線により制御される構成となっている。

【0154】図12は、図11に示したサブワードドライバの詳細な構成を示すための回路図である。

【0155】ドライバ回路3600は、ゲートがバンク選択線BSLにより制御され、メインワード線と内部ノードn1との間に設けられる選択トランジスタ3700と、ノードn1にゲートが接続し、選択線SLのうちの1つのSL0とサブワード線SWLとの間に接続されるトランジスタ3702と、ゲート電位がトランジスタ3702と同じ選択線SL0により制御され、サブワード線SWLとノードn1との間に接続されるトランジスタ3704を含む。また、リセット線RSLによりゲート電位が制御され、サブワード線と接地電位との間に設けられるトランジスタ3706をさらに含む。

【0156】他のメインワード線およびサブワード線についても同様の構成が存在する。このような構成とすることで、メインワード線MWLが活性化し、バンク選択線BSLが活性化して、かつ選択線SLのいずれかが活性化することで、対応するワード線SWLが活性化状態（高電位）とされ、リセット線RSLが選択的に活性化することで、対応するサブワード線SWLが接地電位に放電される。

【0157】図12に示した例においては、1つのメインワード線MWLが各バンクにおいて4本のサブワード線SWLを制御し、いずれのサブワード線SWLが選択されるかは、選択線SLのうちのひとつの活性化により指定される。

【0158】バンク選択線BSLは、活性化時には昇圧電圧Vppのレベルとなり、サブワード線SWLが活性化した後には、接地電位レベルVssレベルに変化する。この場合、トランジスタ3702および3704により構成されるラッチ回路により、このバンク選択線BSLの活性化の状態で保持されることになる。選択線SLとリセット線RSLとの電位レベルは互いに相補となるように制御される。

【0159】待機動作時には、バンク選択線BSLが接地電位（GND）レベルであり、選択線SLが接地電位（GND）レベルであり、リセット線RSLは電源電位（Vcc）レベルとなっている。

【0160】活性化動作時には、まず、対応するリセット線を接地電位（GND）とし、活性化すべきサブワード線SWLに対応するバンク選択線BSLが活性化されて、その電位レベルは昇圧電位Vppレベルとなる。

【0161】続いて、メインワード線MWLが活性化さ

(15)

特開2002-117697

27

れ電源電位（Vcc）レベルとなる。このメインワード線MWLの活性化とはほぼ同時に、選択線SLのうちの1つが電源電位（Vcc）レベルとなり、サブワード線SWLは（Vcc-Vth）レベルとなる。その後、バンク選択線BSLは、接地電位（GND）レベルに変化し、ドライバ回路発生中のラッチ回路に電荷が閉込められることになる。

【0162】この電荷がトランジスタ3702および3704により閉込められている状態で、選択線SLのうちの選択されている1つの電位レベルを昇圧電位（Vpp）レベルまで上昇させれば、サブワード線SWLのレベルは、昇圧電位（Vpp）レベルまで変化することになる。

【0163】リセット動作時には、バンク選択線を電源電位（Vcc）レベルまで上昇させ、かつ選択線SLを接地電位（GND）レベルとする。さらに、リセット線を電源電位（Vcc）レベルとすることで、サブワード線SWLに蓄えられた電荷を放電する。

【0164】このような構成とすることで、サブワード線ドライバ3000を構成する素子数は、NチャンネルMOSトランジスタの4素子のみとすることが可能で、素子数を削減することができる。

【0165】さらに、メインワード線の活性化はワンショットパルス信号として行なわれる。すなわち、選択されたサブワード線に対応するサブワードドライバ3000中の、トランジスタ3702および3704によりメインワード線の活性化状態が一度保持されると、メインワード線の電位レベルはリセットされることになる。

【0166】図13は、センスアンプSAとデータ線部との接続を行なう構成を示す回路図である。

【0167】図13に示すように、読出用のデータ線ペアRDL、/RDL（以下、総称してRDLPと呼ぶ）と書込用のデータ線ペアWDL、/WDL（以下、総称してWDLPと呼ぶ）とが別個に設けられている。

【0168】センスアンプSAの入出力ノードはゲート受けトランジスタ3400および3402を介して読出データ線ペアRDL、/RDLを介してデータ信号が伝達される構成となっている。

【0169】すなわち、トランジスタ3400および3402のソースはリードソース線RGLにより選択的に接地電位とされ、トランジスタ3400および3402のゲートは、それぞれ対応するセンスアンプSAの入出力ノードと接続し、トランジスタ3400および3402のドレインは、それぞれ対応する読出データ線ペアRDL、/RDLに接続する構成となっている。

【0170】図13に示した構成においては、4つのセンスアンプが1つのデータ線ペアRDL、/RDLを共有する構成となっている。

【0171】一方、書込データ線ペアWDL、/WDLは、書込動作時には、対応するビット線BLとデータ線

28

WDLとの間およびビット線BLと対応するデータ線/WDLとの間にそれぞれ接続されるトランジスタ3500および3502により、選択的にビット線BLおよびBLと接続される構成となっている。

【0172】なお、図11に示したセグメントYSには、リードソース線RGL（リードソース線RGL0～RGL3を総称）、ライト活性化線WRL（ライト活性化線WRL0～WRL3を総称）等が含まれる。

【0173】図14は、複数のリードデータと期待値の比較を行なうための構成を示す概念図である。

【0174】図14に示した構成では、一括してI/Oバスにn個のデータが読出される。ワード線WLの活性化によりメモリセルMCから読出されたデータは、センスアンプSAにより増幅され、リードソース線RGLにより選択されたデータが、リード用のI/O線対RDLPに読出される。

【0175】リード用I/O線対RDLPに読出されたデータは、ブリアンプ4000により増幅され、適宜動作においては、データ入出力回路1086を介して、ロジック回路ブロック1200に与えられる。

【0176】これに対して、ビルトインセルフテストモードにおいては、ブリアンプ4000により増幅されたデータは、一致検出回路4010に与えられ、読出動作における期待値を保持している期待値ラッチ回路4020中の値と比較されて、その比較結果が一致検出信号PS0～PSn-1として出力される。

【0177】なお、以下の説明では、説明の簡単のために、一括して読出されるデータの数が16個であるものとして説明することにする。

【0178】ただし、図10においても説明したとおり、半導体集積回路装置1002においては、実際にはより多くのデータが一括してメモリセルアレイから読出される。

【0179】〔不良ビットの検出の構成〕以下に説明するように、図14において一括して読出された16個のデータに対する一致検出信号PS0～PS15を、縦4個横4個のマトリックスとしてテスト結果の判定が行なわれる。なお、以下の説明で、16個の一致検出信号をどのように4行4列に配列するかは、不良ビットを特定しやすいように適宜変更することが可能である。より一般的に、n×n個の一致検出信号が得られる場合も同様である。

【0180】すなわち、図15は、このようにして一括して読出されたデータの一致検出を行ない、不良ビットの個数を検出するための不良数検出回路の構成を説明する概略ブロック図である。

【0181】図15を参照して、AND回路5000、1は、信号PS3、PS7、PS11およびPS15を受けて、論理積演算した結果を出力する。AND回路5000、2は、信号PS2、PS6、PS10および信

(15)

特開2002-117697

29

号PS14を受けて論理積演算して結果を出力する。AND回路5000.3は、信号PS1、PS5、PS9、PS13を受けて、論理積演算した結果を出力する。AND回路5000.4は、信号PS0、PS4、PS8およびPS12を受けて、論理積演算した結果を出力する。

【0182】一方、AND回路5010.1は、信号PS0～PS3を受けて、論理積演算して結果を出力する。AND回路5010.2は、信号PS4～PS7を受けて、論理積演算した結果を出力する。AND回路5010.3は、信号PS8～PS11を受けて、論理積演算した結果を出力する。AND回路5010.4は、信号PS12～PS15を受けて、論理積演算した結果を出力する。

【0183】さらに、AND回路5020は、AND回路5000.1～5000.4および5010.1～5010.4の出力を受けて、論理積演算した結果を出力する。

【0184】期待値と読出されたデータとが一致している場合、信号PS0～PS15は、“H”レベルとなる。したがって、読出された16個のデータが、すべて期待値と一致している場合は、AND回路5020から出力される信号のレベルも“H”レベルとなる。

【0185】また、後に説明するように、4×4のマトリックス状に処理される信号PS0～PS15について、縦方向の4個および横方向の4個の信号のそれぞれについてパリティチェックをした結果が、信号PC1～PC8として生成される。

【0186】したがって、不良数検出回路5100.1は、信号PS3、PS7、PS11およびPS15についてのパリティチェック結果の信号である信号PC1と、AND回路5000.1の出力を受けて不良数の推定結果を出力する。

【0187】他の不良数検出回路5100.2～5100.3についても同様である。さらに、不良数検出回路5110.1は、信号PS0～PS3についてのパリティチェック結果を示す信号PC5と、AND回路5010.1の出力とを受けて、不良数の推定結果を出力する。

【0188】他の不良数検出回路5110.2～5110.4についても同様である。不良数加算回路5200は、不良数検出回路5100.1～5100.2の出力を受けて、これらの検出された不良数を加算する。一方、不良数加算回路5210は、不良数検出回路5110.1～5110.4からの不良数検出結果を受けてこれらを加算した結果を出力する。

【0189】不良ビット数判定回路5300は、不良数加算回路5200および5210の出力を受けて、これら2つの出力の最大値を最終的な不良数として出力する。

30

【0190】図16は、図15において述べたパリティチェック回路の構成を説明する概略ブロック図である。

【0191】パリティチェック回路6000.1は、信号PS3、PS7、PS11およびPS15をそれぞれ受けて、比較結果に応じて、信号PC1を出力する。同様に、パリティチェック回路6000.2は、信号PS2PS6、PS10およびPS14を受けて、パリティチェックした結果をPC2として出力する。

【0192】他のパリティチェック検出回路6000.3および6000.4も同様である。

【0193】さらに、同様に、パリティチェック回路6100.1は、信号PS0～PS3を受けて、パリティチェック信号PC5を出力する。

【0194】他のパリティチェック回路6100.2～6100.4についても同様である。

【0195】図17は、図16に示したパリティチェック回路6000.1の構成を説明するための概略ブロック図である。

【0196】パリティチェック回路6000.1は、信号PS3および信号PS3の反転信号である信号/PS3を受けるパリティ回路6010.1と、信号PS7とその反転信号/PS7を受けるパリティ回路6010.2と、信号PS11とその反転信号の/PS11を受けるパリティ回路6010.3と、信号PS15とその反転信号/PS15を受けるパリティ回路6010.4と、パリティ回路6010.4の出力を受けて、パリティチェック信号PC1を出力する駆動回路6200とを含む。

【0197】他のパリティ判定回路の構成も、入力される信号が異なるのみで、その基本的な構成は同様である。

【0198】さらに、パリティ回路6010.1は、接地電位が供給される配線GLとソースが接続し、ゲートに信号PS3を受けるNチャネルMOSトランジスタTN11と、電源電位Vccが供給される配線VLとドレインが接続し、ゲートに信号PS3を受けるNチャネルMOSトランジスタTN21と、配線GLとトランジスタTN21のソース（ノードn2）との間に接続され、ゲートに信号/PS3を受けるNチャネルMOSトランジスタTN12と、配線VLとトランジスタTN11のドレイン（ノードn1）との間に接続され、ゲートに信号/PS3を受けるNチャネルMOSトランジスタTN22とを含む。

【0199】他のパリティ回路6010.2～6010.4についても同様の構成を有し、これらが縦列に接続されている。

【0200】したがって、たとえば信号PS3が活性状態（“H”レベル）であるときは、配線GLのレベルがトランジスタTN11のドレイン側に伝達され、配線VLの電位がトランジスタTN21のソース側に伝達され

(17)

特開2002-117697

31

る。

【0201】これに対して、信号PS3が不活性状態（“L”レベル）である場合は、配線GLの電位が、トランジスタTN21のソース側に伝達され、配線VLの電位が、トランジスタTN11のドレイン側に伝達されることになる。

【0202】つまり、信号PS3が活性状態（“H”レベル）である場合は、出力ノードn1およびn2には、それぞれ接地電位および電源電位が伝達されるのに対し、信号PS3が不活性状態（“L”レベル）である場合は、出力ノードn1およびn2には、それぞれ電源電位および接地電位が出力されることとなり、出力される電位が反転することになる。

【0203】以上のようなパリティ回路6010、1～6010、4が縦列に接続されることで、信号PS3、PS7、PS11およびPS15のうち、不活性状態である信号の個数に応じて、駆動回路6200から出力されるパリティチェック信号PC1のレベルが変化する。信号PS3、PS7、PS11およびPS15のうち

“L”レベルである信号の個数が奇数個である場合はパリティチェック信号PC1のレベルは“H”レベルとなり、0または偶数個である場合は“L”レベルとなる。

【0204】図18は、図15に示した不良数検出回路の動作を説明するための概念図である。

【0205】図18は、一括して読出されたデータに不良が存在せず、期待値と判定結果がすべて一致している場合を示す。この場合、信号PS0～PS15はすべて“H”レベルである。

【0206】したがって、AND回路5000、1～5000、4およびAND回路5010、1～5010、4のいずれから出力される信号も“H”レベルであって、これらの論理積であるAND回路5020からの出力も“H”レベルとなる。この場合には、無条件に不良数は0と判定される。

【0207】図19は、一括して読出されたデータのうち1個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【0208】不良が存在する結果、信号PS6が“L”レベルであるものとする。この場合、AND回路5000、2の出力は“L”レベルとなり、同様に、AND回路5010、2の出力も“L”レベルとなる。この結果、AND回路5020の出力は“L”レベルとなつて、不良が存在することが判定される。

【0209】さらに、パリティチェックの結果は、信号PC2およびPC6が“H”レベルとなり、他のパリティチェック信号は“L”レベルである。

【0210】これに応じて、不良数検出回路5100、2において不良数が1個であると推定され、同様に不良数検出回路5110、2において不良数が1であると推定される。

32

【0211】その結果、不良数加算回路5200および5210からの出力は、それぞれ“1”となり、不良ビット数判定回路5300から出力される不良数の推定結果は1個であることになる。

【0212】図20は、一括して読出されたデータのうち2個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【0213】この場合、不良が2個存在する結果、信号PS7およびPS6が“L”レベルであるものとする。

【0214】この場合、AND回路5000、1および5000、2の出力は“L”レベルとなり、AND回路5010、2の出力は“L”レベルとなる。その結果、AND回路5020の出力も“L”レベルとなつて、不良が存在することが判定される。

【0215】さらに、パリティチェックの結果は、信号PC1およびPC2が“H”レベルとなるが、他のパリティチェック信号は“L”レベルである。

【0216】この結果、不良数検出回路5100、1および5100、2は不良数の推定値として1を出力し、不良数検出回路5110、2はAND回路5010、1の出力およびパリティチェック信号PC6のいずれもが“L”レベルであることに応じて、不良の検出値を2として出力する。

【0217】その結果、不良数加算回路5200および5210の出力は、いずれも2となる。この結果、不良ビット数判定回路5300から出力される最終的な不良数の判定結果は2となる。

【0218】図21は、一括して読出されたデータのうち3個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【0219】図21においては、不良が3個存在する結果、信号PS7、PS6およびPS5が“L”レベルとなっているものとする。

【0220】この場合、AND回路5000、1、5000、2および5000、3の出力は“L”レベルとなり、AND回路5010、2の出力も“L”レベルとなる。

【0221】一方、パリティチェックの結果は、信号PC1、PC2およびPC3およびPC6が“H”レベルとなり、他のパリティチェック信号は“L”レベルである。

【0222】この結果、不良数検出回路5100、1、5100、2および5100、3は、不良数として、1をそれぞれ出力し、不良数検出回路5110、2は、同様に不良数の検出値として1を出力する。

【0223】この結果、不良数加算回路5200からは不良数の加算結果として3が出力され、不良数加算回路5210からは、不良数の加算結果として1が出力される。

【0224】その結果、不良ビット数判定回路5300

(18)

特開2002-117697

33

からは、不良数の判定結果として3が出力される。

【0225】以上説明したとおり、たとえば不良数検出回路5100.1は、AND回路5000.1の出力が“H”レベルである限り、不良数として0を出力し、AND回路5000.1の出力が“L”レベルであって、かつパリティチェック信号PC1が“H”レベルであるときは不良数として1を出力する。

【0226】一方、不良数検出回路5100.1は、AND回路5000.1の出力が“L”レベルであって、パリティチェック信号PC1が“L”レベルである場合は、不良数として2を出力する。

【0227】実際には、これ以外の組合せも存在するが、冗長救済用のスベアメモリセル行およびスベアメモリセル列はそれぞれ数組ずつ備えられるにすぎないので、不良数が0、1、2のいずれかを判定できる機能があれば実用上は問題がない。

【0228】以上のような不良検出の結果、BIST制御部2010は、スベアメモリセル列が1組である場合において、2ビット以上の不良の場合は、ロウスベアで必ず救済すると判定することとする。

【0229】一方、BIST制御部2010は、スベアメモリセル列が2組である場合は、3ビット以上の不良は、スベアロウで必ず救済すると判定するという構成にすれば、一括して多ビットがメモリセルアレイから読出される場合も、冗長救済を行なうことが可能となる。

【0230】このとき、不良が発生しているアドレスについては、4×4行に配列されたデータのうち、不良数として1または2が出現しているところの交点より判定することが可能となる。

【0231】図22は、ビルトインセルフテストモードにおいて、不良ビットの検出を行ないつつ、置換すべきアドレスの記録処理を行なう動作を説明するためのタイミングチャートである。

【0232】以下では、スベアメモリセル行が3組設けられ、スベアメモリセル列が2組設けられているものとする。

【0233】したがって、冗長置換を行なっていく順序の可能な組合せは、以下の通りである。

【0234】

- 1) R→R→R→C→C
- 2) R→R→C→R→C
- 3) R→C→R→R→C
- 4) C→R→R→R→C
- 5) R→R→C→C→R
- 6) R→C→R→C→R
- 7) C→R→R→C→R
- 8) R→C→C→R→R
- 9) C→R→C→R→R
- 10) C→C→R→R→R

図22を参照して、時刻t0において、内部制御信号A

34

CTが活性状態となって、ロウ系の動作が活性化される。なお、このとき、ビルトインセルフテストモードが予め設定されているものとする。

【0235】時刻t1において、信号READが活性化し、同時に信号COMPが活性化することで、読出されたデータと期待値との比較および不良数の検出処理が行なわれる。

【0236】時刻t1においては、AND回路5020から出力される信号が“H”レベルであって、不良数が0であると判定されたものとする。

【0237】時刻t2においては、同様にして、読出されたデータについて、1ビットの不良が検出される。このとき、AND回路5020の出力は“H”となり、かつ不良ビット数判定回路5300から、不良数が1ビットであるとの検出結果が出力される。

【0238】これに応じて、読出に用いられたロウアドレスRA1およびコラムアドレスCA1が記憶セル列に格納される。

【0239】続いて、時刻t3においては、2ビットの不良が検出され、時刻t3および時刻t4において、この2ビット分のアドレスが記憶セル列に言込まれる。

【0240】すなわち、2ビットフィード判定がなされた場合には2サイクルを使用することでフェーズアドレスを順次記憶セル列に格納する。

【0241】ただし、このとき2ビット目のアドレスを格納する際に、行アドレスが既に格納されている1ビット目の行アドレスと同様のため、既にロウアドレスが言込まれている組合せに対応した記憶セル列にはロウアドレスの言込は行なわれない。

【0242】時刻t5において、3ビット以上の不良が検出された場合は、ロウアドレスでの救済しかできない。このため、置換アドレスの対象がコラムアドレスとなっている組については、BIST制御回路は、救済不能と判断する。

【0243】図23は、時刻t2において、各置換順序に対応して、検出された不良アドレスが格納される様子を説明するための図である。

【0244】第1番目にスベア行での置換が行なわれる組合せおよびスベア列での置換が行なわれる組合せのいずれにおいても、行アドレスRA1またはCA1が格納される。

【0245】図24および図25は、それぞれ、時刻t3および時刻t4において不良アドレスが格納される場合の様子を示す概念図である。

【0246】図24においては、まず、不良アドレスRA2またはCA2が、各々格納され、図25においては、既にRA2が格納されている組合せについては行アドレスの格納は行なわれない。これに対して、列アドレスが格納される順序になっている記憶セル列には、不良列アドレスCA3が格納される。

(19)

特開2002-117697

35

【0247】図26および図27は、時刻15において、新たに検出された不良アドレスRA3およびCA3が記憶セル列に格納される様子を説明するための概念図である。

【0248】コラムのアドレスが既に格納されているものと同一アドレスが入力される場合には、コラムアドレスを格納する順序になっている組合せの場所では列アドレスの格納は行なわれない。

【0249】さらに、時刻15においては、3ビット分の不良が検出されているので、スベア行による置換でなければこれを救済することができない。

【0250】したがって、次のアドレスがコラムアドレスを格納することとなっている組合せ（図27において太線で囲んだ組合せ）については、救済不能と判断される。

【0251】以上のような構成とすることで、一括して多ビットのデータがメモリセルアレイから読出される場合の冗長救済をセルフインビルトテストにより判定することが可能となる。

【0252】〔実施の形態2〕実施の形態1では、正規メモリセルアレイのテストを行なって、それに対応してスベア行またはスベア列との置換を行なう場合の構成を説明した。

【0253】実施の形態2においては、スベア領域を試験する場合のビルトインセルフテストにおいても、冗長救済が可能な構成について説明する。

【0254】以下でも、説明の簡単のためにスベアメモリセル行が3セット、スベアメモリセル列が2セットであるものとする。

【0255】図28は、スベア部分にも仮のアドレスを割当てる場合の構成を説明するための概念図である。

【0256】図中、黒く塗り潰した部分が冗長の有効ビット部分である。たとえば、ロウアドレス空間が00～FFである場合、最上位ビットに1ビットを付加して、ロウアドレス空間全体としては000～1FFとし、13Fおよび17Fおよび1BFにロウスベアを割当てる構成としている。

【0257】すなわち、図28においては、スベアメモリセル行およびスベアメモリセル列も個別に選択が可能となるように、スベアのロウおよびコラムに仮のアドレスの割付けを行なう。行アドレスおよび列アドレスの最上位ビットを1増加させることで、アドレス空間を広げ、最上位ビットが0であれば通常のメモリセルをアクセスし、最上位ビットが1であり、なおかつ仮に割付けられたスベアのアクセスをアクセスすればスベアのメモリセルがアクセスできるように構成する。

【0258】ビルトインセルフテストにおいて、BIST制御部2010が制御する救済アドレスを検出するためのアルゴリズムとしては、アドレスビットのうち最上位ビットを1増加させた状態で不良アドレスの判定を行

36

ない。その結果最上位ビットが0の不良アドレスはスベアで救済を行なう。

【0259】また、BIST制御部2010は、最上位ビットが1の不良検出アドレスはスベア部の不良であるため、そのスベアは使用できないと認識する。

【0260】仮に、コラムのスベアに不良が出現していれば、2本のコラムスベアのうち1本が使用できなくなり、残り1本で救済することとなる。

【0261】したがって、コラムスベアは1本、ロウスベアは3本の状態と同じであり、最終的に最上位ビットが0の不良検出アドレスを残存するスベアで救済することになる。

【0262】このとき残存するスベアの識別は、最上位ビットが1のアドレスのスベアが使用不可との認識を行なうためのフラグを割当てることとする。

【0263】すなわち、テストを実行しながら冗長解析を実行し、順次置換を行なうスベア行およびスベア列の順序の組合せのそれぞれについて不良アドレスの格納を行なっていく。

【0264】解析結果が救済可能となれば、最上位ビットが1のロウ不良アドレスおよびコラム不良アドレスを抽出する。

【0265】続いて、最上位ビットが1のロウ不良アドレスおよびコラム不良アドレスに対応するヒューズセットをプログラミングから除外して、ヒューズ素子のプログラミングを行なうこととする。したがって、残りのヒューズセットに対して最上位ビットが0の不良アドレスをプログラミングする。

【0266】このようにして、救済アルゴリズム自体は、実施の形態1と同様に行なうが、スベア部分に対して仮のアドレスを割付けることで、スベア部分の不良検出を同時に行なうことが可能となる。

【0267】図29は、実施の形態2において、ロウアドレスに関するアドレス信号の伝達経路を説明するための概念図である。

【0268】通常アクセス時には、入力されるロウアドレスは、ロウデコーダに送られるのと同じようにして、救済アドレスをプログラミングした値と入力アドレスを比較するヒューズアドレス比較部6020に送られる。

【0269】ヒューズアドレス比較部6020は、ヒューズアドレス設定部6010にプログラムされた不良アドレスと入力アドレスとの比較を行なう。

【0270】比較結果がいずれも一致しない、つまり入力されたアドレスがスベアで置換されない場合には、ヒューズアドレス比較部6020からゲート回路6030およびOR回路6040を介して出力される信号が非活性のままであり、OR回路6050から出力されるスベア活性化信号SPAが非活性のままであって通常のデコード動作が行なわれる。

【0271】一方、通常動作において、いずれかのプロ

(20)

特開2002-117697

37

グラムされた不良アドレスと入力アドレスが一致する場合には、スベア活性化信号SPAが活性化され、通常のデコード動作が非活性化されて正規のメモリセル行が活性化されず、スベアに割付けられたアドレスが、マルチプレクサ6070を通過して、スベアメモリセル行を活性化する。

【0272】スベアのテストを行なう場合には、スベアテスト信号STが活性化するため、常にスベア活性化信号SPAが活性化状態にある。

【0273】また、スベア空間用に割当てた1ビットのアドレスをマルチプレクサ6070に入力し、その1ビットアドレス信号とスベアの割付けアドレスがマルチプレクサ6070から出力された状態で、スベアメモリセル行が活性化されることでスベアのテストが行なわれる。

【0274】コラム側にも同様の構成が設けられているものとする。図30は、実施の形態2のアドレス置換判定器3000の構成を説明するための概略ブロック図である。

【0275】図2の構成と異なる点は、スベアメモリセル行が3組設けられていることに対応して、記憶セル列MCR11～MCR13が設けられていることと、正規メモリセルに対するアドレスの最上位ビットのRAM、/RAMまたはCAN、/CANに追加して、スベアに割当てられたアドレスRAM+1、/RAM+1およびCAN+1、/CAN+1に対応する記憶セルが設けられていることと、記憶セル列MCR11～MCR13および記憶セル列MCC11～MCC12にそれぞれ対応して、フラグ保持回路FR11～FR13およびFC11～FC12が設けられていることである。他の置換順序の組合せに対応する記憶セル列についても同様である。

【0276】図31は、図30に示した回路の動作を説明するための概念図である。フラグ保持回路FR11～FR13およびFC11～FC12には、置換判定部3100.1により、対応するいずれの記憶セル列にまでアドレスの記憶がなされたかを示す情報が保持される。たとえば、アドレスの記憶が行なわれると、フラグ保持回路FR11～FR13およびFC11～FC12には、“1”が保持されるものとする。

【0277】不良アドレスのプログラミングを行なう際には、フラグ保持回路FR11～FR13およびFC11～FC12の値が“1”であり、かつアドレス信号ビットRAM+1またはCAN+1が“1”でもあるアドレスは、スベアの不良を示しているため、ヒューズアドレス設定部6010にはプログラミングしない。

【0278】また、フラグ保持回路FR11～FR13およびFC11～FC12の値が“1”であるスベアメモリセル行またはスベアメモリセル列は、冗長救済のための使用からは、除外されるように、プログラミングするヒューズアドレス設定部6010を選択する。

38

【0279】このような構成とすることで、スベアメモリセル行および列についても、ビルトインセルフテストを行なって、正規メモリセルアレイの冗長救済を信頼性高く行なうことが可能となる。

【0280】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0281】

【発明の効果】請求項1ないし9記載の半導体集積回路装置は、メモリセルアレイにおいて複数のメモリセルが同時に選択される場合に、比較的小さな回路規模で不良メモリセルの検出と冗長解析とを行なうことが可能で、冗長解析機能を有するテスト回路を半導体集積回路装置自身に搭載することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のダイナミック型半導体記憶装置1000の全体構成を示す概略ブロック図である。

【図2】 図1に示したBIST回路2000の構成を説明するための概略ブロック図である。

【図3】 図2に示したアドレス置換判定器3000の構成を説明するための概略ブロック図である。

【図4】 図3に示したTGセルの構成を示す回路図である。

【図5】 図3に示した第1の置換判定部3100.1の構成を説明するための概略ブロック図である。

【図6】 アドレス置換判定器3000の動作を説明するための第1のタイミングチャートである。

【図7】 アドレス置換判定器3000の動作を説明するための第2のタイミングチャートである。

【図8】 メモリセルアレイ100が、2つのサブメモリアレイに分割された場合の冗長メモリセルアレイによる置換動作を説明するための概念図である。

【図9】 冗長メモリセル行SRで置換した後に冗長メモリセル列SCで置換する処理を行なう場合を示す概念図である。

【図10】 ワンチップ上にロジック回路と半導体記憶装置とが集積化された半導体記憶装置1002の構成を示す概略ブロック図である。

【図11】 メモリアレイ1100の構成を示す概略ブロック図である。

【図12】 図11に示したサブワードドライバ帯の詳細な構成を示すための回路図である。

【図13】 センスタンプSAとデータ線部との接続を行なう構成を示す回路図である。

【図14】 複数のリードデータと期待値の比較を行なうための構成を示す概念図である。

(21)

特開2002-117697

39

【図15】 不良ビットの個数を検出するための不良数検出回路の構成を説明する概略ブロック図である。

【図16】 バリディチェック回路の構成を説明する概略ブロック図である。

【図17】 バリディチェック回路6000.1の構成を説明するための概略ブロック図である。

【図18】 不良数検出回路の動作を説明するための概念図である。

【図19】 一括して読出されたデータのうち1個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【図20】 一括して読出されたデータのうち2個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【図21】 一括して読出されたデータのうち3個の不良データが存在する場合の不良数検出回路の動作を示す概念図である。

【図22】 置換すべきアドレスの記録処理を行なう動作を説明するためのタイミングチャートである。

【図23】 時刻t2において、各置換順序に対応して、検出された不良アドレスが格納される様子を説明するための図である。

【図24】 時刻t3において不良アドレスが格納される場合の様子を示す概念図である。

【図25】 時刻t4において不良アドレスが格納される場合の様子を示す概念図である。

【図26】 時刻t5において、新たに検出された不良アドレスRA3およびCA3が記憶セル列に格納される様子を説明するための第1の概念図である。

【図27】 時刻t5において、新たに検出された不良アドレスRA3およびCA3が記憶セル列に格納される様子を説明するための第2の概念図である。

【図28】 スペア部分にも仮のアドレスを割当てて場*

40

* 合の構成を説明するための概念図である。

【図29】 実施の形態2において、ロウアドレスに關するアドレス信号の伝達経路を説明するための概念図である。

【図30】 実施の形態2のアドレス置換判定器3000の構成を説明するための概略ブロック図である。

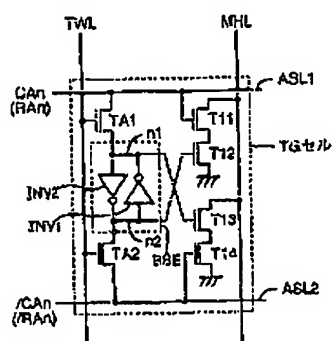
【図31】 図30に示した回路の動作を説明するための概念図である。

【図32】 メモリアレイ部8010に対して設けられる冗長回路の構成を示す概略ブロック図である。

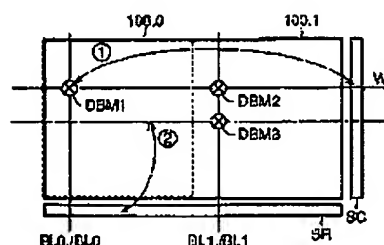
【符号の説明】

11 制御信号入力端子群、13 アドレス信号入力端子群、15 データ入出力端子群、18 外部電源端子、19 外部接地端子、26 コントロール回路、30 アドレスバッファ、40 行デコーダ、42 スペアロウデコーダ、45 ワード線ドライバ、50 列デコーダ、52 スペアコラムデコーダ、54 コラム選択線、60 センスアンプ、70 内部電位発生回路、72 内部制御信号バス、76 データバス、80 読出アンプ/書込ドライバ、85 入出力バッファ、100 メモリセルアレイ、200 列選択ゲート、1000 DARM、1002 半導体集積回路装置、2000、2002 BIST回路、3000 アドレス置換判定部、3100.1~3100.6 置換判定部、4000 プリアンプ、4010 一致判定回路、4020 期待値ラッチ回路、5000.1~5000.4、5010.1~5010.4 AND回路、5020 AND回路、5100.1~5100.4、5110.1~5110.4 不良数検出回路、5200、5210 不良数加算回路、5300 不良ビット数判定回路、6000.1~6000.4、6100.1~6100.4 バリディ判定回路、RM1~RM6 ロウアドレス記憶部、CM1~CM6 コラムアドレス記憶部。

【図4】



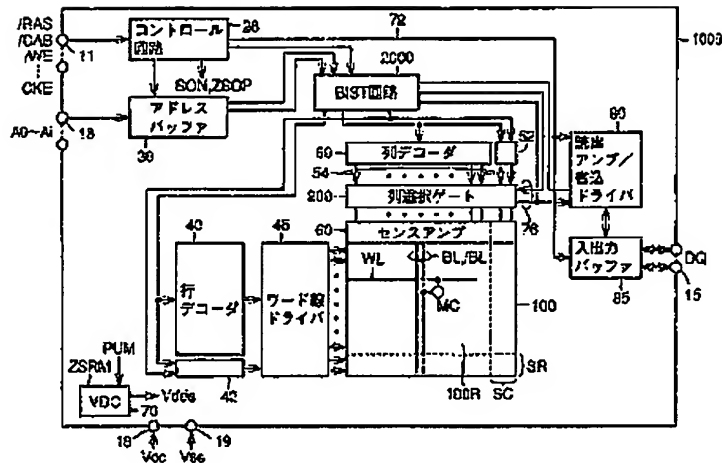
【図8】



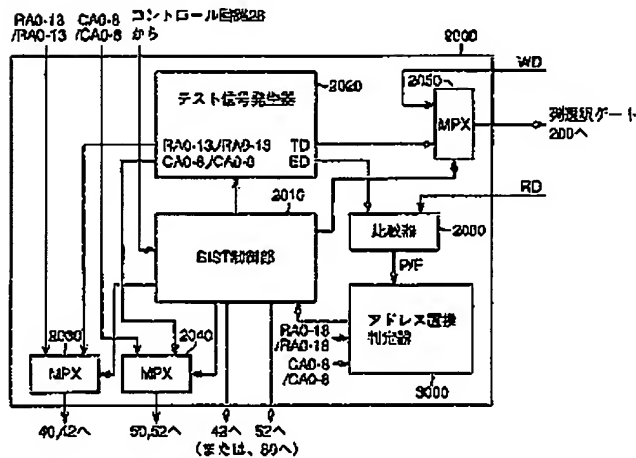
(22)

特開2002-117697

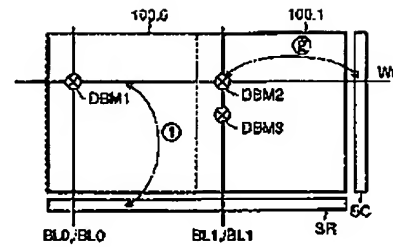
【図1】



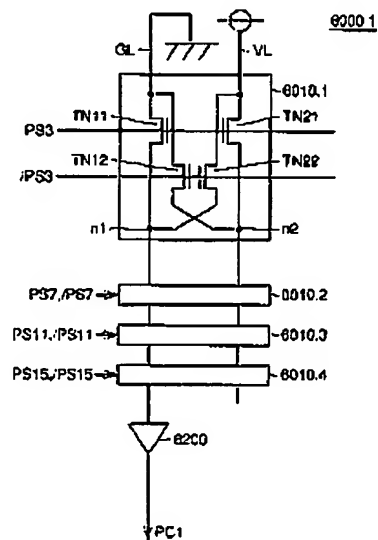
【図2】



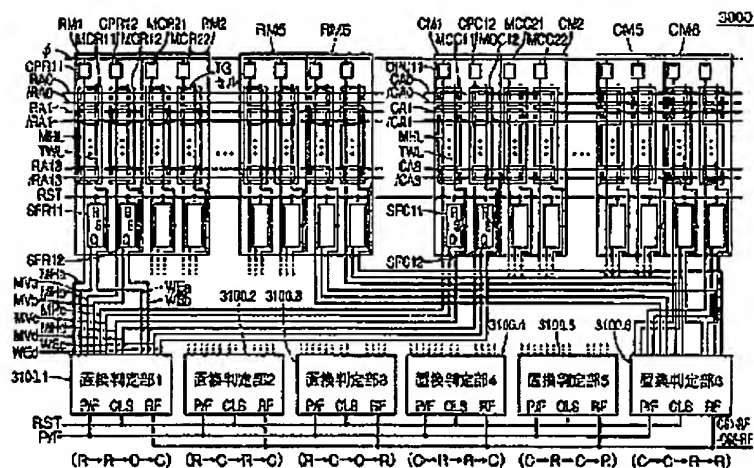
【図9】



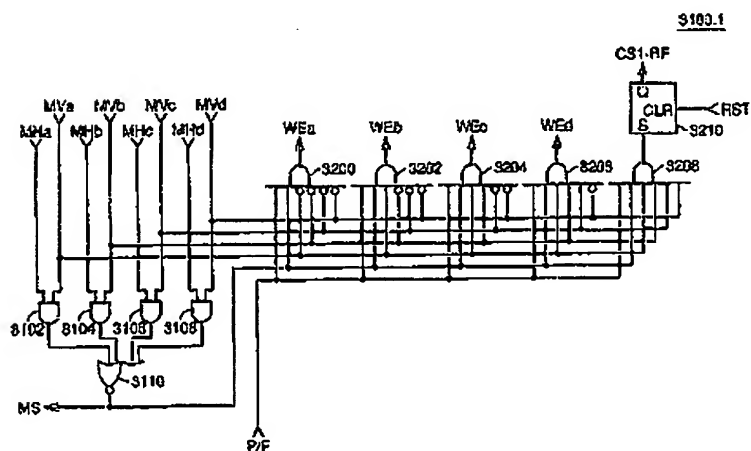
【図17】



【圖 3】



【図5】



【圖23】

(2046)

RA	RA	RA	CA	CA
RA1				
RA	RA	CA	RA	CA
RA1				
RA	CA	RA	RA	CA
RA1				
CA	RA	RA	RA	CA
CA1				
RA	RA	CA	CA	RA
RA1				
RA	CA	RA	CA	RA
RA1				
CA	RA	RA	CA	RA
CA1				
RA	CA	CA	RA	RA
RA1				
CA	RA	CA	RA	RA
CA1				
CA	CA	RA	RA	RA
CA1				

【图 24】

③の場合

RA	RA	RA	CA	CA
RA1	RA2			

RA	RA	CA	RA	CA
RA1	RA2			

RA	CA	RA	RA	CA
RA1	CA2			

CA	RA	RA	RA	CA
CA1	RA2			

RA	RA	CA	CA	RA
RA1	RA2			

RA	CA	RA	CA	RA
RA1	CA2			

CA	RA	RA	CA	RA
CA1	RA2			

RA	CA	CA	RA	RA
RA1	CA2			

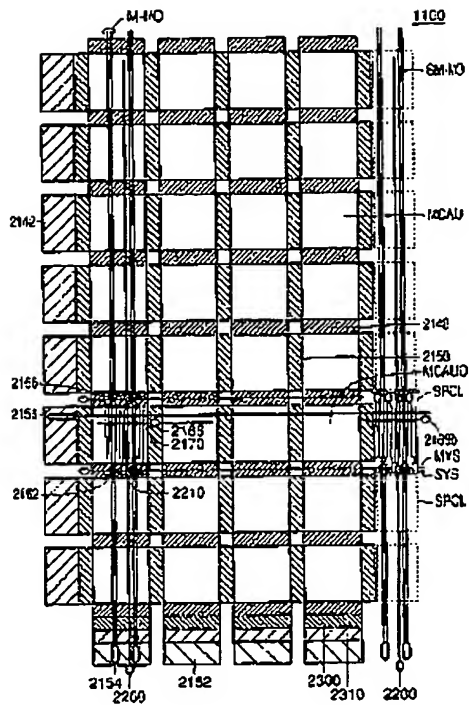
CA	RA	CA	RA	RA
CA1	RA2			

CA	CA	RA	RA	RA
CA1	CA2			

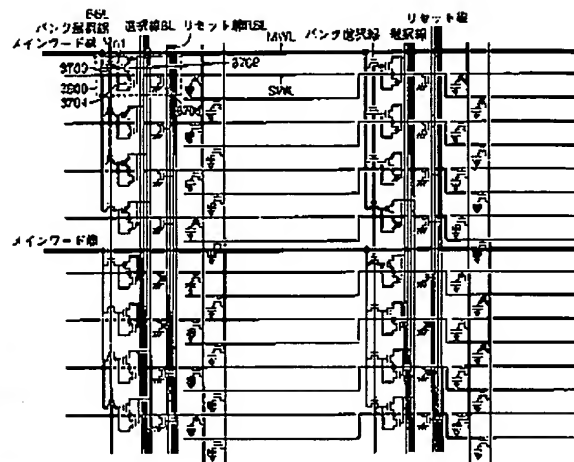
(25)

特開2002-117697

【図11】



【図12】



【図26】

⑤の場合

RA	RA	RA	CA	CA
RA1	RA2	RA3		

RA	RA	CA	RA	CA
RA1	RA2	CA3		

RA	CA	RA	RA	CA
RA1	CA2	RA3		

CA	RA	RA	RA	CA
CA1	RA2	RA3		

RA	RA	CA	CA	RA
RA1	RA2	CA3		

RA	CA	RA	CA	RA
RA1	CA2	RA3		

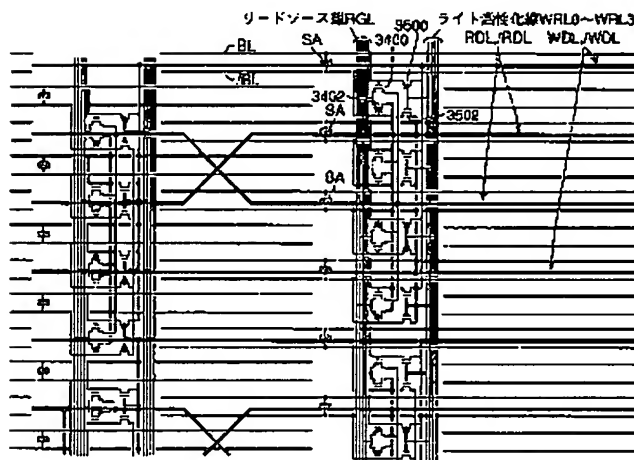
CA	RA	RA	CA	RA
CA1	RA2	RA3		

RA	CA	CA	RA	RA
RA1	CA2	CA3		

CA	RA	CA	RA	RA
CA1	RA2	CA3		

CA	CA	RA	RA	RA
CA1	CA2	RA3		

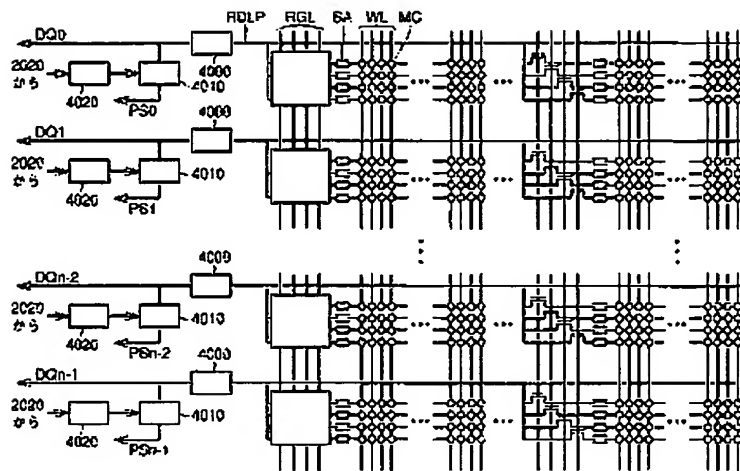
【図13】



(26)

特開2002-117697

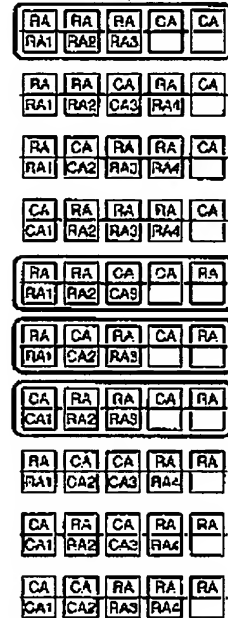
【図14】



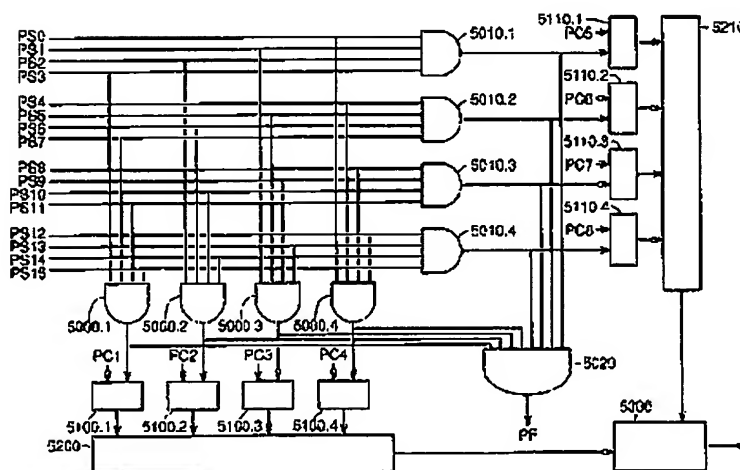
【図27】

CANGによるリネ化処理

①の場合



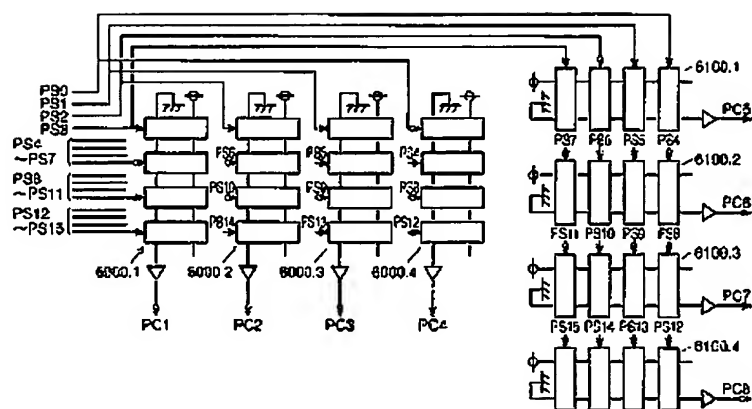
【図15】



(37)

特開2002-117697

【図16】

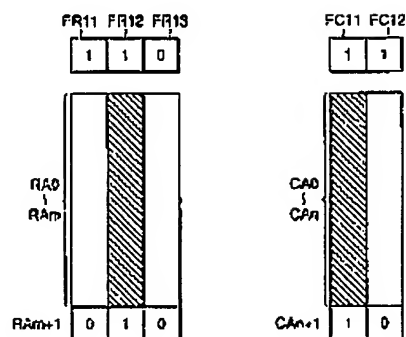


【図18】

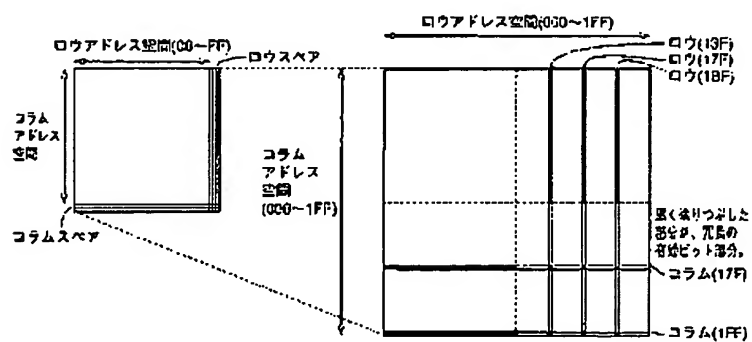
	AND	パリティ	不良数
H	H	H	H
H	H	H	H
H	H	H	H
H	H	H	H
AND	H	H	H
パリティ	L	L	L
不良数	0	0	0

全AND0で不良が0

【図31】



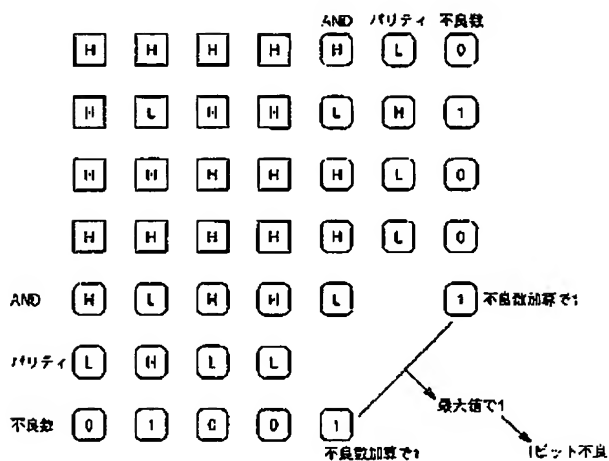
【図28】



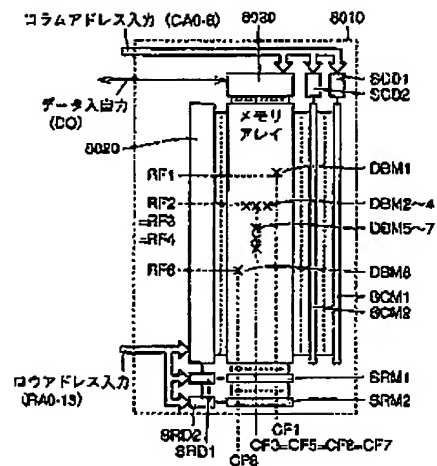
(28)

特開2002-117697

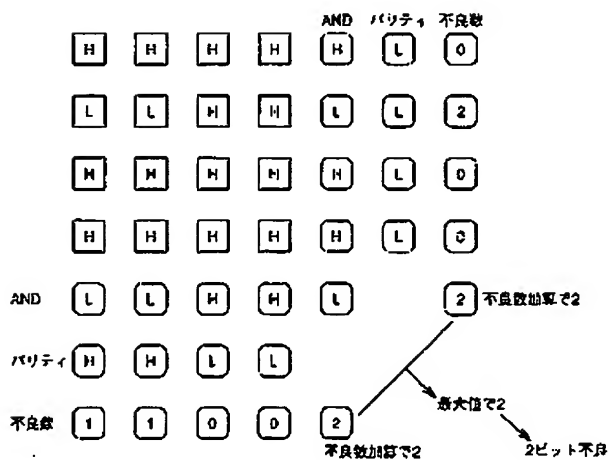
【図19】



【図32】



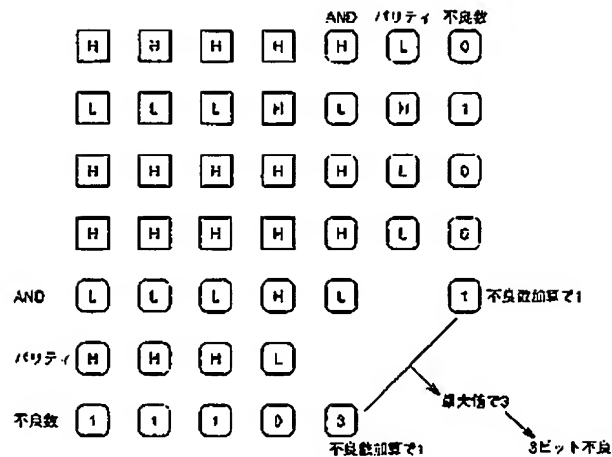
【図20】



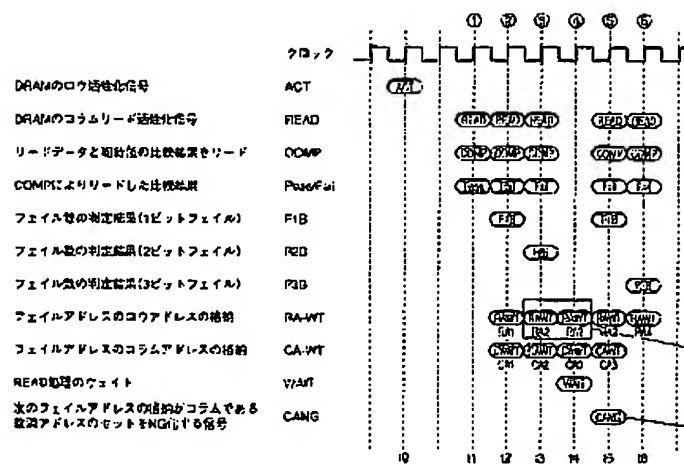
(29)

特開2002-117697

【図21】



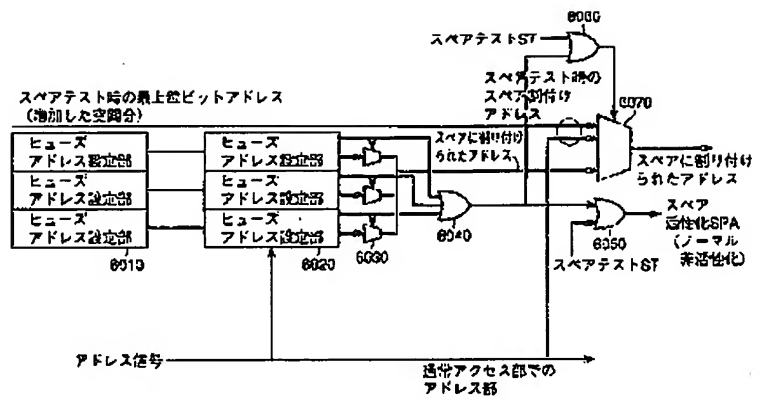
【図22】



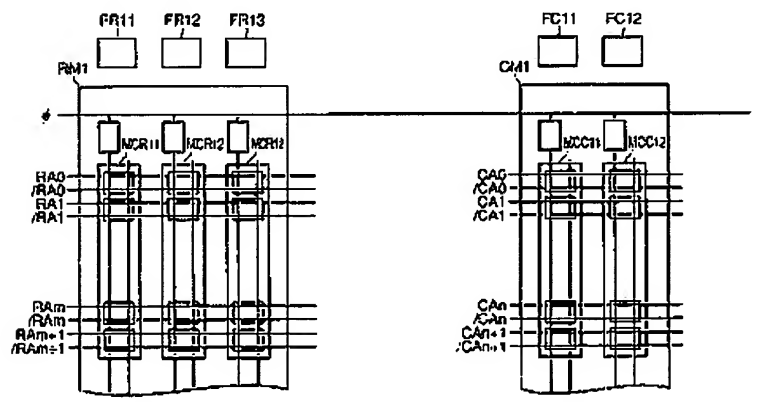
(30)

特開2002-117697

【図29】



【図30】



フロントページの続き

(51)Int.Cl.	識別記号	F I	特コード (参考)
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 3 0 A
	3 3 0	G 0 1 R 31/28	B
H 0 1 L 27/04			V
21/822			M
		H 0 1 L 27/04	T

(31)

特開2002-117697

Fターム(参考) 2G032 AA07 AB01 AE08 AE11 AK11
AL09 AL14
5B018 GA03 HA01 JA21 KA18 NA01
QA13
5F038 AV02 AV15 DF05 DT07 DT08
DT14 DT18 EZ20
5L106 CG01 CC14 CC17 DD02 DD03
DD04 DD25